مجتمع سازي حافظه فلاش با استفاده از يك لايه پلي- سيليكان در پروسه متداول CMOS 0.25ميكرومتر

مجيد شالچيان سيد مجتبي عطاردي
دانشگاه صنعتي شريف و پژوهشكده ميكروالكترونيك ايران
تهران - ايران

چكيده— در اين مقاله، نوع جديدي از سلول هاي حافظه غير فرار فلاش معرفي شده اند كه قابليت پياده سازي در فرايند ساخت متداول logic CMOSرا دارند. در اين سلول ها از يك لايه پلي سيليكان استفاده شده است و لايه دوم كه در سلول هاي متداول نقش گيت كنترل را دارد با ناحيه N-well جايگزين شده است. آرايه اى از اين سلول ها با چگالى ذخيره سازى بالا روى تكنولوژى CMOS 0.25ميكرومتر، طراحى و ساخته شده است. بر اساس نتايج اندازه گيري ها، كليه سلول ها تا ۶۰ هزار بار قابل نوشتن و پاک كردن مى باشند و مى توانند اطلاعات را تا ۱۰ سال نگهدارى كنند. با توجه به ارزاني قابل ملاحظه و دسترسي آسان به فرايند ساخت logic CMOS، طراحان مي توانند از اين فن آوري در پياده سازي سيستم هاي مجتمع استفاده كنند.

واژه هاى كليدي: حافظه هاى Flash، گيت معلق[1] ، فرايند CMOS logic.

Integration of a flash memory in the conventional 0.25um CMOS process using a single layer of poly-Silicon

Majid Shalchian **S. Mojtaba Atarod**
E. E. Dept., Sharif University of Technology, Tehran, Iran
Iran Microelectronic Research Center, Tehran, Iran

Abstract — In this paper we introduce a standard CMOS process compatible flash memory cell. In contrast to the conventional embedded-flash memory devices which need additional processing steps to implement two poly-Silicon layers, this structure is based on a single poly-Silicon layer and the second poly-Silicon is replaced by an isolated N-well region. An array of the cells has been fabricated on a 0.25um standard CMOS process. Each cell tolerates at least 60,000 cycles of endurance test and shows 10 years of data retention. This structure can be exploited for the integration of a small block (<64 KB) of non-volatile memory in the standard CMOS processes.

[1] Float gate

۱- مقدمه

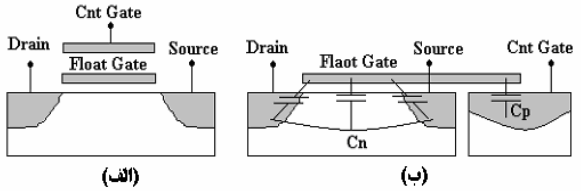
اکثر سیستم های الکترونیکی امروزی بنابه دلایلی نیاز به حافظه های غیر فرار[۱] دارند. مهمترین این دلایل عبارتند از: به روز کردن سیستم عامل، ذخیره کدهای شناسایي و نیز پیکر بندی[۲] متناسب با نیاز های کاربر. بنابراین آرایه کوچکی از این نوع حافظه بصورت جزیي تفکیک ناپذیر از سیستم ها در آمده است. در بین حافظه های غیر فرار فعلی یعنی EPROM، EEPROMو FLASHحافظه های فلاش بدلیل سرعت بالای پاک کردن و چگالي ذخیره سازي بالاتر بشدت مورد توجه قرار گرفته اند. از طرفی استفاده از یک تراشه مجزای حافظه با توجه به هزینه های سربار آن مقرون به صرفه نمی باشد. به همین دلیل در سالهای اخیر رویکرد پیاده سازی کل سیستم روی یک تراشه[۳] به شدت مقبولیت یافته است و چندین فرایند ساخت Embedded Flashبا قابلیت مجتمع سازی حافظه غیرفرار با بخش های دیجیتال و با معماری های مختلف [1] NANDو NOR [2]ارایه شده اند که از جمله آنها می توان ETOX [3]، HiMOS [4]و SuperFlash [5]را نام برد. دراین تکنولوژی ها حداقل از دو لایه پلی سیلیکان استفاده شده است که یکی نقش گیت معلق[۴] را دارد و بار الکتریکی روی آن ذخیره می شود و دیگری گیت کنترل می باشد. این تکنولوژی ها بین ۴ تا ۱۰ ماسک اضافی به پروسه CMOSمعمولی اضافه مي کنند، که علاوه بر افزایش قابل ملاحظه هزینه ساخت، منجر به کاهش yieldو قابلیت اعتماد سیستم می شوند. با تکنیك بکار گرفته شده در این مقاله بدون اضافه کردن ماسک جدید در فرایند استاندارد CMOSیک سلول حافظه غیر فرار پیاده سازی شده است. در ادامه چگونگي طراحي سلول حافظه و نحوه عملکرد آن مورد بررسی قرار می گیرد. سپس تکنیك هاي بکار رفته در ساخت و معماري آرایه ارایه خواهند شد و پس از آن به نتایج تست سلول اشاره خواهد شد و نهایتا جمع بندی مطالب ارایه مي شود.

۲- طراحي سلول

۲-۱- ساختار گیت معلق

براي آنکه یك سلول حافظه بتواند صرفنظر از شرایط خارجي دو حالت مختلف ذخیره اطلاعات داشته باشد، لازم است که در شرایط عادي مسیر جریان براي تخلیه انژري ذخیره شده وجود نداشته باشد ولي در شرایط خاصي بتوان انرژي را روي عنصر حافظه ذخیره و یا آنرا پاك کرد. در ساختار گیت معلق بار در یك لایه هادي (معلق) بین گیت و کانال ذخیره مي شود که توسط لایه عایق بطور کامل محاصره شده است. عملیات نوشتن و پاك کردن بترتیب بر اساس قرایند هاي تزریق حامل هاي داغ[۵] و F-N Tunneling انجام مي شوند.

در شکل ۱ ساختار افزاره گیت معلق مشاهده می شود. شکل ۱-الف ساختار متداول و شکل ۱-ب سلول مورد بحث در این مقاله را نشان می دهد. این سلول از یک ترانزیستور NMOSو یك خازن PMOSتشکیل شده است. لایه پلي سیلیکان مشترک بین دو عنصر، همان گیت معلق است و خازن PMOS با استفاده از یك ترانزیستور PMOSکه درین، سورس و N-Wellدر آن به یکدیگر متصل شده اند، پیاده سازي شده است. این خازن تزویج مورد نیاز جهت آدرس دهي سلول را با گیت کنترل فراهم می آورد.



شکل ۱: ساختار سلول حافظه غیر فرار با گیت معلق (الف) حافظه با ساختار متداول (ب) حافظه با یک لایه پلی سیلیکان

۱ Non-volatile memory
۲ Configuration
۳ System on a Chip
۴ Floating Gate
۵ Hot Electron Injection

۲-۲- عملکرد افزاره

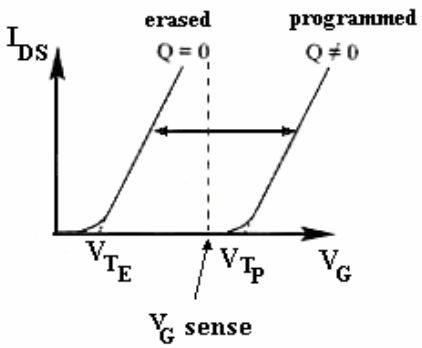
بستگی میان ولتاژ گیت معلق و گیت کنترل با رابطه زیر نشان داده می شود:

$$V_{FG} = \frac{C_p}{C_p + C_n} V_{CG} + \frac{Q_F}{C_p + C_n} \quad (۱)$$

که در آن C_n خازن معادل طرف NMOS و C_p خازن PMOS می باشند. Q_F بار ذخیره شده روی گیت معلق است و مقدار آن برای کمیت های منطقی " "0 و " "1 بترتیب صفر و منفی است. رابطه فوق را می توان بصورت زیر نیز نشان داد.

$$V_{FG} = \alpha_C (V_{CG} + \frac{Q_F}{C_p}) \quad (۲)$$

که در $\alpha_C = \frac{C_p}{C_p + C_n}$ آن ضریب تزویج می باشد که معرف کنترل پذیری رفتار سلول نسبت به ولتاژ گیت کنترل است. کاهش ضریب تزویج از یک طرف موجب افزایش سرعت نوشتن روی سلول می شود و از طرف دیگر منجر به افزایش ولتاژ کنترل مورد نیاز می شود. بنابراین ضریب تزویج پارامتر طراحی مهمی می باشد. با توجه به رابطه (۲) ولتاژ آستانه سلول در حالتیکه بار روی آن ذخیره شده باشد به میزان $\frac{Q_F}{C_P}$ افزایش می یابد و مشخصه جریان درین بر حسب ولتاژ گیت کنترل مطابق شکل ۲ برای دو حالت programmed و erased تفاوت می کند. حال با استفاده از این تفاوت و با اعمال ولتاژ sense مناسب می توان سلول را خواند.



شکل ۲: مشخصه I_{DS}-V_G برای دو حالت programmed و erased و تمایز ایجاد شده در جریان درین هنگام خواندن سلول با V_G-sense

۲-۲-۱- نوشتن بر روی حافظه

عملیات نوشتن با روش تزریق حاملهای داغ انجام می شود. در این حالت سورس به زمین متصل شده است و ولتاژ ۴,۵ الی ۵,۵ ولت به درین اعمال می شود و ولتاژ ۵ الی ۶ ولت به گیت اعمال می شود. شبیه سازی نشان می دهد که اعمال ولتاژهای فوق برای مدت ۱,۵ میلی ثانیه موجبجابجایی ولتاژ آستانه افزاره بعد از نوشتن بمیزان ۱,۵ الی ۲ ولت می گردد.

۲-۲-۲-پاک کردن حافظه

پاک کردن با روش FN Tunneling انجام می شود. که در آن الکترونهای ذخیره شده در گیت معلق با تونل زنی به درین تخلیه می شوند. بنابراین ولتاژ ۶ ال ۶,۵ ولت به درین اعمال می شود، در حالیکه گیت کنترل زمین شده است و سورس معلق می باشد. عملیات پاک کردن حدود ۱۰ میلی ثانیه طول می کشد و جریان آن ناچیز است.

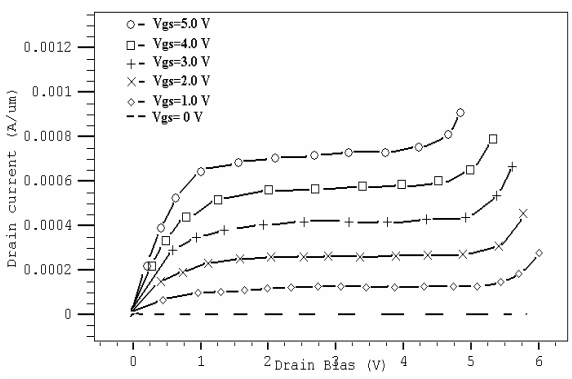
حداکثر ولتاژ اعمالی ۶,۵ ولت است که با توجه به ولتاژ شکست های ۷,۵ و ۸ ولت، بترتیب برای پیوند های P+/Nwell و N+/Psub در این پروسه قابل تحمل می باشد. افزاره فوق نسبت به حافظه های دارای دو لایه پلی سیلیکان سطح بیشتری را اشغال می کند. بنابراین یک چالش مهم در طراحی این افزاره کاهش سطح سیلیکان مصرفی تا حد ممکن است و این بمعنای کاهش سطح خازن های C_p و C_n می باشد. بنابراین حالت بهینه، برابر در نظر گرفتن خازنهای فوق با حداقل ابعاد هندسی ممکن در پروسه ساخت می باشد. با اینکار سطح سلول حدودا سه برابر کوچکترین ترانزیستور در پروسه (1X NMOS) خواهد شد. البته می توان با بکارگیری تکنیک هایی در معماری آرایه این نسبت را نیز بهبود بخشید.

۳- تکنيك هاي بكار رفته در ساخت سلول

سلول هاي حافظه فوق بـر روی تـكـنـولـوژیCMOS ۰,۲۵ ميكرومتر استاندارد كه ارزان ترين تكنولوژي با طـول مشـخـصـه ۰,۲۵ ميكرومتر و مختص كاربردهاي ديجيتال مي باشد، سـاخـتـه شده اند. با توجه به اينكه پديده تزريق حامل هاي داغ كـه بـراي نوشتن سلول ها مورد استفاده قرار مي گيرد، اثري غـيـر ايـده ال محسوب مي شود و براي ترانزيستور هاي معمولي نامطلوب است، در اين قسمت نشان داده خواهد شد كه چگونه مي توان رانـدمـان اين پديده را براي سلول هاي فلاش بهبود بخشيـد و هـمـچـنـيـن جريان نشتي گيت را باندازه كافي كاهش داد تا امكان نگـهـداري داده ها بمدت ۱۰ سال فراهم گردد.

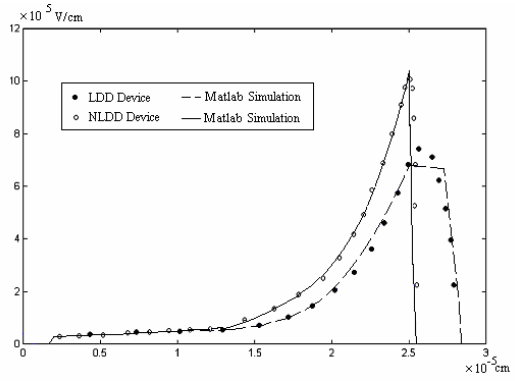
۳-۱- جلوگيری از كاشت يونی **LDD**[۱]

لايه LDDامتداد درين و سورس با عمق و چگالی ناخـالصـی كمتر می باشد. اين لايه برای كاهش اثرات كانال كوتاه از جـمـلـه اثر ميدان افقی روی سد پتانسيل كانال و اثر Punch through و توليد حامل های داغ در ترانزيستور هاي معمولي بكار گرفته می شود. در واقع با افزودن اين لايه از تغييرات شديد نـاخـالصـی در پيوند N+/Pلبه درين كاسته می شود و در نتيجه شـدت مـيـدان افقی در اطراف درين كم می شود. از طرفی در سـلـول حـافـظـه مورد نظر كه نوشتن با اثر تزريق حاملهای داغ انـجـام مـی شـود، وجود اين لايه باعث افت شديد راندمان تزريق می شود و عمليات نوشتن را مختل می كند. بنابراين با دستكاری در ماسک مربوط به LDDاز كاشت يونی اين لايه در سلول های حافظه جلـوگـيـری بعمل می آيد. در عين حال همانطور كه ذكر شد حـدف LDD می تواند منجر به بروز اثرات كانال كوتاه شـود. بـنـابـرايـن بـرای مطالعه اين اثرات، افزاره NMOSبا حـذف لايـه LDDو بـا استفاده از نرم افزار ATLASمورد شبيه سـازی قـرار گـرفـتـه است. شكل ۳ مشخصه جريان درين را بر حسب ولتاژ درين بازای مقادير مختلف ولتاژ گيت نشان می دهد.



شكل ۳: مشخصه I_D-V_{DS}بازای مقادير مختلف ولتاژ گـيـت برای افزاره بدونLDD نتايج شبيه سازی با (ATLAS)

همانطور كه مشاهده می شود، تا زمانيكه مشخصـه در نـاحـيـه اشباع قرار دارد، يعنی: $V_{gs} < 5.0V, V_{ds} < 4.5V$ اثرات كـانـال كوتاه لطمه ای به عملكرد افزاره نخواهـنـد زد. لـذا ولـتـاژ هـاي اعمالي براي خواندن افزاره بايد در محدوده فوق باشند. شـكـل ۴ شدت ميدان الكتريكي افقي را بر براي دو افزاره با LDDو بدون LDD (NLDD)نشان مي دهد. در حالت دوم شـدت مـيـدان ماكزيمم در نزديكي درين ۱,۸ برابر شده است. بدين ترتيب ميزان بار ذخيره شده در شرايط يكسان نوشتن از $6*10^{-15} C/\mu m$ به $1.1*10^{-14} C/\mu m$ مي رسد كه جابجايي ولتاژ تـرشـلـد را بطور قابل ملاحظه اي بهبود مي بخشد.



شكل ۴: شدت ميدان الكتريكي افقي را بر بـراي دو افـزاره بـا LDDو بدون LDD (NLDD)شبيـه سـازي بـا Matlabو Atlas

[۱] Lightly Doped Drain

۳-۲- افزایش ضخامت اکسید گیت

همانطور که در مراجع مختلف از جمله [6,7] ذکر شده است، برای آنکه احتمال تونل زنی مستقیم حاملها از گیت وجریان نشتی آن بحد کافی ناچیز شود تا بتوان اطلاعات را تا ۱۰ سال روی سلول نگهداری کرد، باید ضخامت اکسید گیت بیش از ۷ نانومتر باشد. از طرفی در پروسه 0.25 umمورد استفاده دو نوع افزاره وجود دارد: افزاره های coreکه برای کار در ولتاژ ۲,۵ ولت طراحی شده اند و افزاره های I/Oکه می توانند ۳,۳ ولت و ۵ ولت را تحمل کنند. ضخامت اکسید این دو نوع افزاره بترتیب ۵ نانومتر و ۷,۵ نانومتر می باشند. برای ایجاد اکسید گیت با دو ضخامت متفاوت، اکسیداسیون در دو مرحله و با استفاده از دو ماسک انجام می شود. در سلول حافظه با انتخاب ترکیب مناسب ماسکها ضخامت اکسید به ۷,۵ نانومتر می رسد. ضمن آنکه سایر مشخصات، مشابه افزاره های coreخواهد بود. بنابراین هم طول عمر اطلاعات تا ۱۰ سال تضمین می شود و هم سرعت بالا و توان مصرفی کم و مهمتر از همه سطح مصرفی کم افزاره های core مورد بهره برداری قرار می گیرد.

۴- نتایج تست سلول هاي حافظه

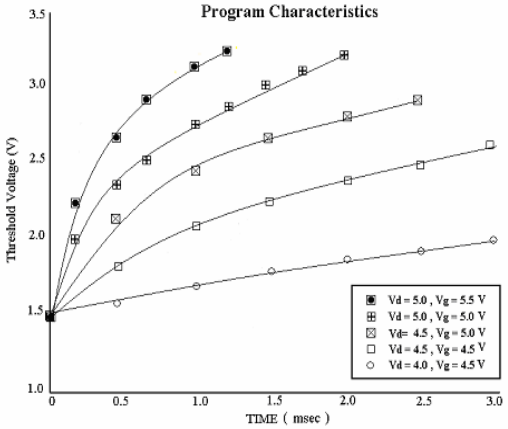
کلیه تست ها با اعمال پالسهای ولتاژ به طول ۱ میکروثانیه به درین و گیت کنترل و قرائت جریان درین توسط یک مبدل داده ۱۶ بیت انجام شده است. تغییرات ولتاژ آستانه که متناسب با بار ذخیره شده می باشد، با استفاده از درون یابی مشخصه I_D-V_{GS} در ناحیه خطی استخراج می شود. شکل های ۵ و۶ مشخصه تغییرات ولتاژ آستانه هنگام نوشتن و پاک کردن " "1روی یک سلول حافظه نمونه را نشان می دهند.

شرایط کار بهینه در نوشتن و پاك کردن بر اساس نکات زیر تعیین و در جدول ۱ ارایه شده اند.

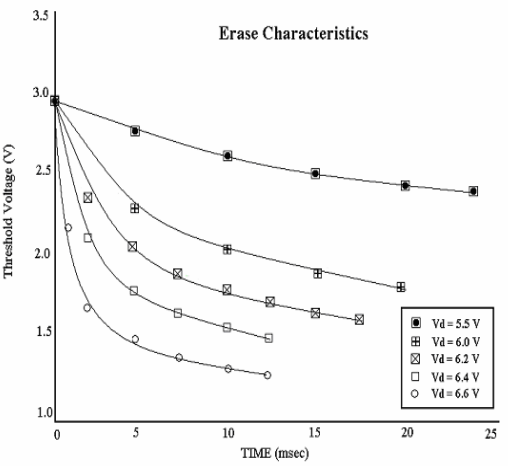
- مقادیر ولتاژهای اعمالی برای سازگاری با فرایند ساخت تا حد ممکن کوچک باشند.
- مدت زمانیکه افزاره تحت شرایط نوشتن و پاک کردن قرار می گیرد (stress condition) تا حد ممکن کم باشد.
- برای آنکه ولتاژ ترشلد سلول ها در آرایه بعد از نوشتن و پاک کردن تا حد ممکن نزدیک هم باشند و نیز اثر overerase رخ ندهد، باید مشخصه جابجایي ولتاژ آستانه به اشباع برود.

جدول ۱: شرایط کار مناسب برای نوشتن و پاک کردن سلول حافظه

نوشتن Programming			پاک کردن Erase			
I_D	T_{cycle}	V_G	V_D	I_D	T_{cycle}	V_D
>700 uA	1ms	5.5V	5V	8uA	10ms	6.5V

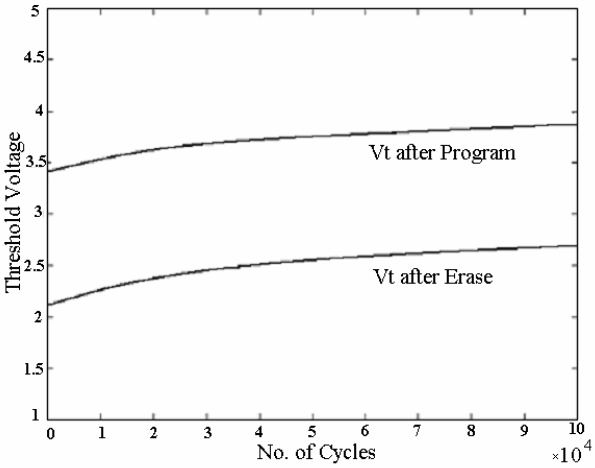


شکل ۵: مشخصه جابجایي ولتاژ آستانه هنگام نوشتن " 1" روی سلول بازای مقادیر مختلف ولتاژ های اعمالی



شکل ۶: مشخصه جابجایي ولتاژ آستانه هنگام پاک کردن " 1"از سلول بازای مقادیر مختلف ولتاژ های اعمالی

همینطور پارامترهای قابلیت اعتماد سلول ها از جمله تعداد دفعات ذخیره اطلاعات[1] و مدت زمان نگهداری اطلاعات[2] مشخصه یابی شده اند. روش تست در مورد اول، تست cycling یعنی نوشتن و پاک کردن های مکرر و اندازه گیری میزان جابجايي ولتاژ آستانه بعد از هر عمليات مي باشد. کلیه سلول های مورد مشخصه یابی تا شصت هزار سیکل ذخیره را بدون مشکل تحمل می کنند و بیش از ۷۰% آنها تا یکصد هزار سیکل را نیز تحمل می کنند. شکل ۷ مشخصه جابجايي ولتاژ آستانه را برای یک سلول نمونه در طی یکصد هزار سیکل نشان می دهد.



شکل ۷: تست cyclingیک سلول نمونه (مشخصه جابجايي V_Tبعد از نوشتن و پاک کردن طی یکصد هزار سیکل)

تست نگهداری اطلاعات، تحت شرایط accelerated test انجام می شود. مطابق با رابطه آرنیوس (۳) نگهداری اطلاعات به مدت ۱۰۰۰ ساعت در دمای ° 150معادل نگهداری اطلاعات به مدت ده سال در دمای اطاق می باشد.

$$t_1 = t_2 . e^{\frac{E_a}{K}(\frac{1}{T_1}-\frac{1}{T_2})} \qquad (۳)$$

که در آن t_1و t_2زمانهای متناسب با دماهای T_1و T_2هستند. Kثابت بولتزمن و E_aانرژی فعال سازی حرارتی برحسب eV می باشند. بیش ار ۸۰% نمونه ها بعد از ۱۰۰۰ ساعت کمتر از ۴۰%

[1] Date Endurance

بار خود را از دست می دهند و مطابق استاندارد IEEE [8]عمر مفید بیش از ۱۰ سال دارند. در جدول ۲ مشخصات اصلی حافظه طراحی شده با حافظه superflashشرکت SSTمورد مقایسه قرار گرفته اند. هر چند ابعاد سلول حافظه حدودا ۲,۷ برابر بزرگتر از نمونه مشابه است، ابعاد یک بلوک حافظه با ظرفیت ۳۲ کیلوبایت حدودا ۱,۵ برابر نمونه SSTمی باشد. این مساله بدلیل معماری بخصوص بکار رفته و همچنین وجود بخش های جانبی مشترک از جمله decoderو بافر و sense amplifier می باشد، که در حافظه های با ظرفیت کم بخش قابل ملاحظه ای از سطح تراشه را بخود اختصاص می دهند. ضمنا این واقعیت که سرعت نوشتن در سلول SST 50برابر بیشتر از سلول مورد نظر می باشد، نشان می دهد که راندمان تزریق حاملهای داغ در فرایند CMOSاستاندارد حتي با وجود تکنیك بکار رفته هنوز پایین است و این حافظه برای کاربرد های با سرعت بالا بهینه نیست.

جدول ۲: مقایسه مشخصات حافظه ارایه شده در این مقاله با حافظه superflash [5]

	This Work	SST Super-Flash
Process Technology	0.25um 1 Poly Full CMOS	0.25um 2 Poly + 7 additional masks
Cell Size	2.75 um^2	1.05 um^2
Block Size (32K*8)	1.27 mm^2	0.85 mm^2
Cell Erase	V_D=6.5V / 10 ms / 8uA	N. A.
Block Erase (1K*16)	250ms / 8mA	200ms/5mA
Cell Program	V_D=5.0V / V_G= 5.5V/ 1.0msec	7V / 20us
Endurance	100,000 Cycles	100,000 Cy-cles
Retention	10 Years	10-100 Years

۵- جمع بندي و نتيجه گيری

مراحل طراحی، ساخت و تست آرايه اي از سلول های حافظه فلاش با گيت معلق که با استفاده از يک لايه پلی سيليکان در فرايند استاندارد CMOS 0.25میکرومتر پياده سازی شده است، مورد بررسی قرار گرفت. اين سلولها عملکرد مناسب و قابل اعتمادی را برای مجتمع سازی نشان می دهند. مزيت عمده آنها سازگاری با فرايند ساخت استاندارد می باشد و کاربرد آنها در سيستم های مجتمعی است که نياز به بلوک کوچکی (کمتر از ۶۴ کيلو بايت) از حافظه غير فرار دارند.

۶- قدردانی

نويسندگان مراتب قدردانی خود را از آقايان مهندس باروقي، کشفی و دانشفر که در طراحی فيزيکی و تدارک setupتست همکاری نمودند و نيز شرکت نيمه هادی عماد که پشتيبانی مالی اين پروژه را تقبل نمود و شرکت1 silicon stبدليل پشتيبانی فنی و ارايه سرويس ساخت مناسب و ساير دوستانی که بنحوی در اين کار مشارکت نمودند، ابراز می دارند.

مراجع

[1] "Super And Type Flash Memory", Hitachi, 2002

[2] " SANDISK FLASH MEMORY CARDS", Sandisk White Paper, 2003

[3] V. N. Kynett, et. al., " A 90-ns one-million cycle 1-Mbit Flash memory," IEEE J. Solid-State Circuits, vol. SC-24, no. 10, pp. 1259-1264, 1999.

[4] J. Van Houdt et. al.., "A 5V/3.3V-compatible Flash EEPROM cell with a 400ns/70us programming time," Proc. 5th Biennial Nonvolatile Memory Technology Review, Linthicum Heights, Md., pp. 54-57, 1993.

[5] SST Technical Paper, "Super Flash EEPROM technology," 701-05 2/00, March 1999.

[6] Paolo Cappelletti, Carla Golla, Piero Olivo, Enrico zanoni, FLASH MEMORIES, 3rd ed., Kluwer Academic Press, 2001, pp. 165-176.

[7] K. Yashikawa, et. al., "A Flash EEPROM cell scaling including tunnel oxide limitation," Proc. European Silid State Device Res. Conf., p. p/2, 1990

[8] IEEE Std. 1005, IEEE Standard Definition and Characterization of Floating Gate Semiconductor Arrays, 1998