

## ارائه یک مدار BiCMOS جدید برای راندن بارهای خازنی بزرگ

محمد رشتیان<sup>(۱)</sup> کیوان ناوی<sup>(۲)\*</sup> امید هاشمی پور<sup>(۳)</sup>

(۱) دانشجوی دکتری، دانشکده صنعت هواپیمایی کشوری، دانشگاه آزاد اسلامی واحد علوم و تحقیقات

(۲) دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی

(۳) دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی

تاریخ ثبت اولیه: ۸۶/۷/۳، تاریخ دریافت نسخه اصلاح شده: ۸۷/۲/۴، تاریخ پذیرش: ۸۷/۷/۲۴

**چکیده** از آنجا که در تکنولوژی BiCMOS برای راندن بارهای خازنی بزرگ تنها در زمان‌هایی بسیار کوتاه نیاز به جریان کلکتور و بالطبع جریان بیس است، در این نوشتار از خازن‌های موجود بین گیت و سورس ترانزیستورهای ماسفت برای راندن ترانزیستورهای دو قطبی استفاده شده است. خاصیت خازنی فوق، سرعت مدار را نسبت به مدارهای مشابه افزایش داده و جریان ایستای بسیار کمی را تحمیل می‌کند. افزون بر این، در طراحی ارائه شده با کاهش چشمگیر تعداد ترانزیستورها، مساحت تراشه نیز کاهش می‌یابد.

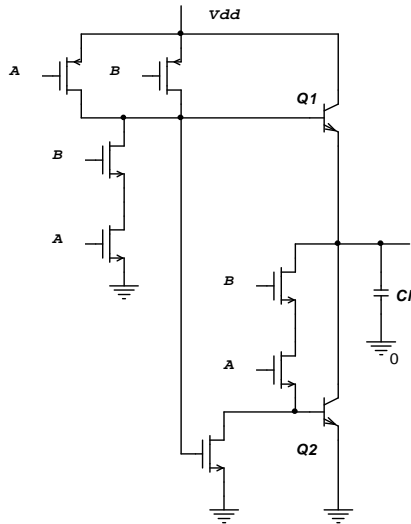
**واژه‌های کلیدی** BiCMOS، دروازه های منطقی، راندن بارهای خازنی، توان ایستا، تأخیر دروازه‌های منطقی

\*عهده دار مکاتبات

نشانی: تهران، اوین، دانشگاه شهید بهشتی، دانشکده مهندسی برق و کامپیوتر

تلفن: ۰۹۱۲۱۰۵۷۳۶۵ پست الکترونیکی: [navi@sbu.ac.ir](mailto:navi@sbu.ac.ir)

در بعضی از روش‌ها از دو ترانزیستور ماسفت موازی با ترانزیستورهای دو قطبی استفاده شده است که طبعاً سرعت بالایی ندارد [۵ و ۴].



شکل ۱ مدار گیت Nand متعارف

روش دیگری که بسیار استفاده می‌شود به کار گرفتن یک مدار افزایش دهنده سطح ولتاژ است تا با اعمال ولتاژی بیش از  $V_{dd}$  به بیس ترانزیستور npn بتوان سوئیچینگ کامل داشت [۶]. در این روش که BF-BiCMOS (Bootstrapped full-swing BiCMOS) نامیده می‌شود، تنها از ترانزیستورهای دو قطبی npn استفاده می‌شود. هم‌چنین، در این روش وجود یک خازن  $C_{boot}$  ضروری است. روش مرسوم دیگر SBiCMOS (Shottky BiCMOS) است که در این روش نیز از دو ترانزیستور دو قطبی npn استفاده می‌شود. در این روش از یک دیود شاتکی برای بالا بردن ولتاژ اعمال شده به بیس ترانزیستور دو قطبی استفاده می‌گردد [۷]. روش دیگر BFBiCMOS (Bootstrapped full-swing BiCMOS) است. در این روش برای بالا بردن ولتاژ در خروجی (شارژر خازن بار) از یک ترانزیستور npn و جهت تخلیه خازن فوق از ترانزیستورهای nMOS استفاده می‌گردد. در واقع ضعف جریان دهی ترانزیستورهای pMOS در این

## ۱- مقدمه

برای راندن بارهای بزرگ خازنی در مدارهای دیجیتال، یکی از مناسب‌ترین روش‌ها استفاده از مدارهای واسطه BiCOMS است. مدل متعارف ارائه شده در [۱] سال‌ها مدلی مناسب و کاربردی بود. مدار گیت Nand با این ساختار در شکل (۱) نشان داده شده است. با کاهش ولتاژ تغذیه در سال‌های اخیر، روش یاد شده به خاطر سوئیچینگ ناکافی در خروجی، ناکارآمد تلقی شده، و از این رو، برای رسیدن به سوئیچینگ تقریباً کامل (Pseudo full swing) روش‌های متفاوتی معرفی شده است. در [۲ و ۳] با مقایسه نتایج شبیه‌سازی برای مدارهای مختلف، روش TS-FS (Transient Saturation Full swing) به عنوان سریع‌ترین مدل معرفی می‌گردد، هر چند که دو مسئله بزرگ بودن سطح تراشه و گران بودن تکنولوژی به کار رفته در این روش (Complementary BiCMOS) از نقاط ضعف آن است. در این نوشتار با بهینه‌سازی روش فوق، آرایش جدیدی برای راندن بارهای خازنی ارائه شده است که با حذف بیش از نیمی از ترانزیستورهای به کار رفته در مدل TS-FS (بسته به تعداد ورودی‌ها) و با تکیه بر شارژر خازنی بیس ترانزیستورهای دو قطبی، افزون بر بهبود سرعت مدار از مساحت تراشه، بسته به تعداد ورودی‌های مدار، می‌کاهد. ولتاژ تغذیه در این طرح 2V در نظر گرفته شده است.

در بخش دوم به بررسی مدارهای مطرح ارائه شده در این باب می‌پردازیم و در بخش سوم مدار پیشنهادی را ارائه می‌کنیم. بخش چهارم به بررسی دقیقتر معادلات ریاضی این طراحی و نیز بخش پنجم به نتایج شبیه‌سازی و مقایسه طرح‌ها با یکدیگر اختصاص یافته است.

## ۲- بررسی مدارهای ارائه شده تا کنون

در سال‌های اخیر روش‌های مختلفی برای تحقق راه اندازه‌های BiCOMS با سوئیچینگ کامل ارائه شده است که هر یک نقاط قوت و ضعف مختص به خود را دارد.

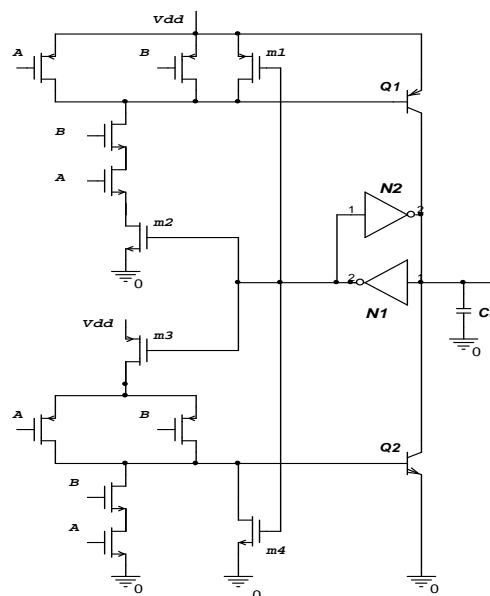
عیب عمده این شیوه تعداد زیاد ترانزیستورها و بالطبع افزایش مساحت اشغال شده توسط تراشه در مقایسه با طرح‌های مشابه است. هم چنین مدارهای مد جریان نیز بررسی و ارائه شده است ولی همچنان مسئله عدم سوئیچینگ کامل در این مدارهای وجود دارد. [۸ و ۹]

### ۳- مدار پیشنهادی در این نوشتار

در شکل (۳) ایده اولیه برای راندن بارهای خازنی توسط یک شبکه RC در بیس ترانزیستورهای BJT برای تحقق یک گیت Nand نشان داده شده است. فرض کنید برای مدت زمانی طولانی خروجی در وضعیت صفر و هر دو ورودی در وضعیت یک منطقی باشند، لذا جریان بیس ترانزیستور npn برابر با  $\frac{V_{dd}-0.7}{R_1}$  خواهد بود. فرض کنید  $R_1$  و  $R_2$  مقادیر بسیار بزرگی باشند به طوری که بتوان جریان عبوری از مقاومت‌ها را بسیار ناچیز دانست؛ در این وضعیت ولتاژ خازن  $C_1$  برابر با  $(V_{dd}-0.7)$  ولت و ولتاژ روی خازن  $C_2$  برابر صفر است. حال با تغییر وضعیت در یکی از ورودی‌ها از یک به صفر منطقی، خازن  $C_2$  برای لحظاتی مانند یک منبع ولتاژ عمل کرده و جریان شدیدی در بیس ترانزیستور npn ایجاد خواهد کرد و لذا خازن  $C_1$  به سرعت به سمت ولتاژ  $(V_{dd}-V_{CE_{sat}})$  خواهد رفت.

در اینجا نیاز ما به جریان بیس در ترانزیستور npn تنها در لحظات شارژ و در ترانزیستور npn در لحظه دشارژ خازن  $C_1$  است، که این خواسته توسط خازن‌های  $C_1$  و  $C_2$  تأمین می‌شود. مقاومت‌های  $R_1$  و  $R_2$  در یک نیم سیکل با جریان بسیار کم ترانزیستورهای BJT را روشن نگه می‌دارند و از شناور شدن بیس ترانزیستورها جلوگیری می‌کنند و در نیم سیکل دیگر خازن‌های  $C_1$  و  $C_2$  را به آرامی تخلیه می‌کنند. جهت کاهش توان استاتیک  $R_1$  و  $R_2$  می‌بایست حتی الامکان بزرگ باشند. در عمل مقاومت‌های  $R_1$  و  $R_2$  به گونه ای محاسبه می‌شوند که در بیشترین فرکانس کارکرد مدار،

روش با استفاده از یک ترنزیستور دو قطبی جبران می‌شود. در روش دیگری که TS-FS نام دارد، از دو ترانزیستور دو قطبی مکمل npn و pnp چنانکه در شکل (۲) نشان داده شده، استفاده شده است. در [۲ و ۳] با مقایسه و شبیه سازی همه روش‌ها این روش سریعترین روش معرفی شده است. شکل (۲) یک تحقق Nand با این روش را نشان می‌دهد. در این طرح ترانزیستورهای  $m_1$  تا  $m_4$  به گونه ای به شبکه‌های pMOS و nMOS افزوده شده‌اند که پس از پایدار شدن ولتاژ در خروجی، اتصال بیس ترانزیستور npn روشن از مسیر  $V_{dd}$  قطع و به سمت زمین هدایت شود و بالعکس اتصال بیس ترانزیستور pnp روشن از مسیر زمین قطع و به سمت  $V_{dd}$  هدایت شود. با این شیوه توان استاتیک کنترل می‌شود. معکوس کننده‌های اول و دوم با ساختار فیدبک مثبت نقش یک نگهدارنده ضعیف را نیز بازی می‌کنند و سوئیچینگ کامل طرح را تضمین می‌کند. ابعاد ترانزیستورهای به کار رفته در این گیت‌ها بسیار کوچکتر از آن است که نقش مؤثری در تخلیه یا پر کردن خازن بار باشد و تنها کاربرد این گیت‌ها برای بهبود سوئیچینگ مدار و جبران ولتاژ  $V_{ce_{sat}}$  است.



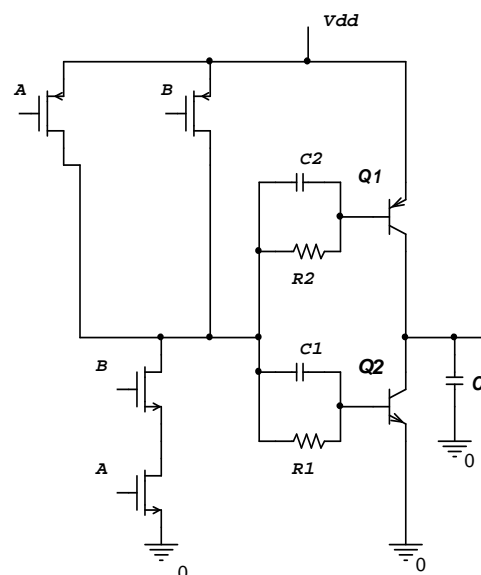
شکل ۲ مدار گیت Nand به روش TS-FS

برای اجرا با مشکل بزرگ بودن مقاومت‌ها و گران بودن ساخت خازن‌ها روبروست. در بخش بعد راه‌های جایگزینی این دو المان پسیو با ترانزیستورهای ماسفت ارائه می‌گردد. با توجه به اینکه معمولاً ۸۰٪ مساحت تراشه‌ها اختصاص به اتصالات دارد و نیز با توجه به کاهش قابل توجه ترانزیستورها، در این مدار مساحت تراشه به شدت کاهش می‌یابد.

#### ۴- بررسی ملاحظات طراحی و جایگزینی شبکه RC با ترانزیستورهای ماسفت

چنانکه در بخش قبل آورده شد، در این طرح نیاز به دو مقاومت بزرگ است که البته از لحاظ اقتصادی و فنی قابل توجه نیست ولی با توجه به اینکه وظیفه اصلی مقاومت‌ها تخلیه خازن‌های کوچک جبران ساز در نیم سیکلی که ترانزیستور دو قطبی متصل به آنها خاموش است می‌باشد، لذا براحتی می‌توان آنها را با دو ترانزیستور با W/L مناسب و آرایش صحیح در مدار که نقش یک مقاومت غیر خطی را بر عهده دارند، جایگزین کرد. همچنین با توجه به کوچک بودن مقادیر  $C_1$  و  $C_2$  که در عمل کافی است کمی از  $C_1/\beta$  بزرگتر باشند، و با توجه به اینکه در اینجا نیازی به دقت بالا نداریم، می‌توان از خازن مابین گیت و سورس ترانزیستور استفاده کرد. مدار پیشنهادی برای تقویت جریان دهی یک گیت معکوس کننده ساده بر همین مبنا در شکل (۴) نشان داده شده است. ترانزیستورهای  $m_3$  و  $m_4$  نقش مقاومت‌های تخلیه کننده خازن‌ها را برعهده دارند. هم چنین کارکرد دیگر ترانزیستورهای فوق تزریق جریانی بسیار ناچیز به بیس ترانزیستور دو قطبی روشن است تا به این وسیله از شناور شدن خروجی پس از تثبیت وضعیت جلوگیری شود؛ هر چند که این جریان ناچیز موجب افزایش توان استاتیک می‌گردد. ترانزیستورهای  $m_5$  و  $m_6$  نقش خازن‌های  $C_1$  و  $C_2$  را در شکل (۳) بازی می‌کنند. در ادامه روش طراحی و جایگزینی خازن و مقاومت‌های مورد نظر بررسی

خازن‌های  $C_1$  و  $C_2$  در یک نیم سیکل به ۱۰ درصد مقدار اولیه خود برسند. با نوشتن معادله تخلیه یک خازن با یک مقاومت ساده، ثابت زمانی مدار ( $\tau$ ) برای آنکه ولتاژ خازن در سیکل تخلیه به ۱۰٪ مقدار اولیه برسد، ۴۵۴۵٪ برابر با نیمی از یک پرپود کامل خواهد بود، لذا مقدار مقاومت تخلیه کننده از رابطه زیر به دست می‌آید.



شکل ۳ ساختار ساده شده طرح پیشنهادی

$$R1_{max} = \frac{T_{min}}{2.2C1} \tag{1}$$

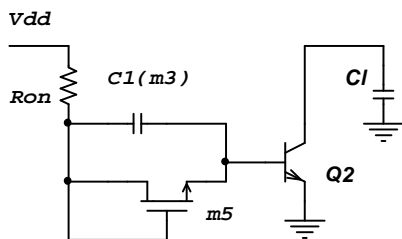
در رابطه فوق  $T_{min}$  برابر با  $\frac{1}{f_{max}}$  است و بنابراین مقاومت به دست آمده از رابطه (۱) مقدار بسیار بزرگی است. مقادیر تقریبی به دست آمده از رابطه فوق برای مقدار مقاومت‌ها در محدوده تقریبی ۵۰ تا ۲۰۰ کیلو اهم، بسته به فرکانس ورودی، است.

مدار فوق خواص جالب دیگری از جمله اعمال یک ولتاژ معکوس روی پیوند بیس امیتر ترانزیستوری که باید خاموش شود، دارد که در [۱۰] به تفصیل در این باب صحبت شده است. البته مدار فوق در عمل



ترانزیستورهای دو قطبی که در مدارهای مجتمع دیجیتال استفاده می‌شوند، براحتی می‌توان از جمله اول و سوم در رابطه (۴) در مقابل جمله چهارم چشم پوشی کرد. هم چنین به دلیل بزرگ بودن مقاومت‌های  $R_1$  و  $R_2$  جریان ترانزیستور دو قطبی در حالت اشباع بسیار کم بوده و از جمله دوم در رابطه اخیر نیز می‌توان صرف نظر کرد.

البته کل رابطه (۴) تقریبی است و با این فرض نوشته شده است که ترانزیستور بتواند تغییرات نمایی جریان بیس را به خوبی دنبال کند. در پاراگراف بعدی بررسی دقیق‌تری در این باب خواهیم داشت. رابطه (۵) با این فرض نوشته شده است که خازن‌های  $C_1$  و  $C_2$  در سیکل تخلیه به ۱۰٪ مقدار اولیه خود می‌رسند. در عمل اگر ترانزیستور دو قطبی به کار رفته به اندازه کافی سریع باشد، روابط فوق برای طراحی خازن‌ها کفایت می‌کند. جهت بررسی دقیق‌تر موضوع، مدار معادل راه‌انداز در هنگام تخلیه خازن  $C_L$  در شکل (۶) نشان داده شده است.



شکل ۶ مدار معادل لحظات ابتدائی روشن شدن  $Q_2$

در شکل فوق منظور از  $R_{on}$  مقاومت کانال معادل شبکه pMOS در حالت روشن است. در یک گیت معکوس کننده ساده مقاومت کانال یک ترانزیستور pMOS است. پس از فرمان وصل به ترانزیستور دو قطبی  $Q_2$  توسط فعال شدن شبکه pMOS و غیر فعال شدن شبکه nMOS ابتدا می‌بایست ترانزیستور فوق از خاموشی در آمده و آماده ورود به ناحیه فعال شود. به عبارتی ولتاژ

$$\frac{2dv_{c1}}{V_{c1}^2 + 2(V_{dd} - V_{tn})V_{c1}} = -\frac{\beta_n dt}{c1} \quad (3)$$

رابطه فوق را می‌توان با مرتب کردن به فرم رابطه (۳) نوشت.

با روش تجزیه به کسرهای جزئی معادله فوق براحتی حل می‌شود. هدف ما از تحلیل فوق یافتن ابعاد ترانزیستور است، لذا با فرض معلوم بودن مقدار خازن  $C_1$  می‌بایست مقدار  $\beta_n$  را چنان تعیین کرد که در زمان  $\frac{1}{2 \times f_{max}}$  (کمترین زمان ممکن برای تخلیه خازن فوق) ولتاژ خازن  $C_1$  به کمتر از ۱۰٪ مقدار اولیه اش برسد. در عمل می‌توان به جای استفاده از روابط فوق با استفاده از نرم افزار شبیه سازی ابعاد ترانزیستورها را تعیین نمود. گزینه همین مطلب را برای محاسبه ابعاد  $m_4$  می‌توان انجام داد.

#### ۴-۲ جایگزینی خازن‌ها

خازن‌های جبران ساز باید به اندازه کافی بزرگ باشند تا بتوانند علاوه بر شارژ خازن‌های داخلی ترانزیستور، بار لازم در ناحیه بیس و بار تزریقی لازم در بیس را نیز تأمین کنند. به طور تقریبی می‌توان از روابط زیر مقدار خازن  $C_1$  را محاسبه نمود. روابط فوق برای مجموعه خازن  $C_1$  و ترانزیستور  $Q_1$  نوشته شده‌اند که به سادگی برای خازن  $C_2$  نیز نوشته می‌شوند.

$$Q_{in} = (Q_{ba} + Q_{xs} + Q_{cb}) + \frac{C_1 V_{dd}}{\beta} \quad (4)$$

$$Q_{in} = C_1 \Delta V_{c1} = C_1 [V_{dd} - 0.7 - (\frac{V_{dd} - 0.7}{10})] \quad (5)$$

سه جمله اول در رابطه (۴) به ترتیب بیانگر بار الکتریکی ناحیه میانی (بیس) در ناحیه فعال و مرز اشباع، مقدار بار ناحیه اشباع و بار در خازن پارازیتی بین جمع کننده و بیس است. با توجه به کوچک بودن

برابر با  $1/\beta\tau_f$  و یا  $1/\tau_b$  است، لذا چنانکه  $\tau_b$  حداقل سه برابر کوچکتر از  $\tau_{in}$  باشد بدین معنی است که جریان کلکتور حتی در وضعیت ابتدائی هم تقریباً  $\beta$  برابر جریان بیس است و از این رو، می توان با دقت نسبتاً خوبی از رابطه (۴) برای محاسبه خازن های جبران ساز استفاده کرد. در غیر این صورت تنها می توان با حل معادله (۸) و به ازاء مقادیر مختلف  $C_1$  به مقدار مطلوب رسید. گزینه همین محاسبات را می توان برای ترانزیستور pnp انجام داد. برای محاسبه خازن  $C_1$  با توجه به کوچک بودن  $\tau_b$  ترانزیستور npn می توان از روابط (۴) و (۵) استفاده کرد که نتایج شبیه سازی نیز این نکته را تأیید می کند. با ابعاد  $3.5\mu m \times 3.5\mu m$  (خازنی به ظرفیت تقریبی  $0.04PF$ ) برای ترانزیستور (شبه خازن)  $m_5$  و  $6\mu m \times 6\mu m$  برای  $m_6$  ( $0.1PF$ ) تأخیر گیت طراحی شده با روش پیشنهادی در این مقاله بیش از ۱۲٪ کمتر از روش TS\_FS خواهد بود. گفتنی است با توجه به کندتر بودن ترانزیستور pnp خازن  $C_2$  از رابطه (۸) و یا با انتخاب اولیه بر مبنای روابط (۴) و (۵) و سپس سعی و خطا به دست می آید.

#### ۵- مقایسه نتایج شبیه سازی

شبیه سازی با استفاده از مدل های ارائه شده در تکنولوژی (0.25 $\mu m$  Level 49) BiCMOS صورت گرفته است. مقدار خازن بار  $C_L$ ،  $I_{pf}$  در نظر گرفته شده است. فرکانس پالس ورودی برابر با ۵۰ مگاهرتز است. هر دو ترانزیستور دو قطبی از نوع عمودی هستند. مدل ترانزیستورهای دو قطبی از [۳] اخذ شده است، که بعضی از مشخصات آنها در جدول (۱) آورده شده است یک گیت معکوس کننده با و آرایش TS-FS و روش پیشنهادی در این مقاله طراحی و شبیه سازی شده است. پاسخ زمانی هر دو طرح به یک ورودی مربعی با فرکانس ۵۰ مگاهرتز و زمان صعود و نزول 0.2ns برای ولتاژ تغذیه ۲ولت در شکل (۷) دیده می شود. ابعاد ترانزیستورها در شیوه TS\_FS از مرجع

معکوس روی خازن پیوند بین بیس و امیتر می بایست به حدود ۵/ ولت برسد، لذا بخشی از بار خازن جبران ساز  $C_1$  در این مرحله مصرف می شود که موجب کاهش ولتاژ خازن به اندازه  $\Delta V_{C1}$  می گردد. با توجه به بزرگ بودن  $C_L$  نسبت به خازن پیوندی بیس - کلکتور می توان فرض کرد که در این مرحله (گذر از خاموشی به ناحیه فعال) ولتاژ کلکتور تغییری نداشته و لذا می توان رابطه (۶) را نوشت:

$$\Delta V_{C1} = \frac{(C_{be} + C_{cb})(0.5 + \frac{V_{dd} - 0.7}{10})}{C_1} \quad (۶)$$

در ناحیه فعال با توجه به اینکه ولتاژ بیس برابر با  $0.7$  ولت است، براحتی جریان بیس بر حسب زمان قابل محاسبه است که در رابطه (۷) آورده شده است.

$$I_b(t) = \frac{v_{dd} - 0.7 - 0.1(v_{dd} - 0.7) - \Delta v_{cl}}{R_{on}} e^{-t/\tau_{in}} \quad (۷)$$

در رابطه فوق منظور از  $\tau_{in}$ ،  $R_{on}C_1$  است، که  $R_{on}$  مقاومت معادل شبکه pMOS است. هم چنین  $\Delta V_{C1}$  از رابطه (۶) به دست می آید.

با نوشتن معادله دیفرانسیل بار [۱۱] برای  $Q_2$  و با توجه به اینکه  $I_c = -C_1 \frac{dvo}{dt}$ ،  $Q_b = \tau_f I_c$  و با فرض اینکه  $x = \frac{dvo}{dt}$  در نظر بگیریم، رابطه (۸) به دست می آید. در این رابطه  $\tau_f$  زمان متوسط گذر حامل های اقلیت از ناحیه بیس و  $\tau$  زمان متوسط باز ترکیب شدن حامل های اقلیت در بیس است که  $\beta$  برابر بزرگتر از  $\tau_f$  است.

$$\frac{dx}{dt} + \frac{1}{\tau_f} \left( \frac{1}{\beta} + \frac{C_{cb}}{C_1} \right) x = \frac{I_b(t)}{\tau_f C_1} \quad (۸)$$

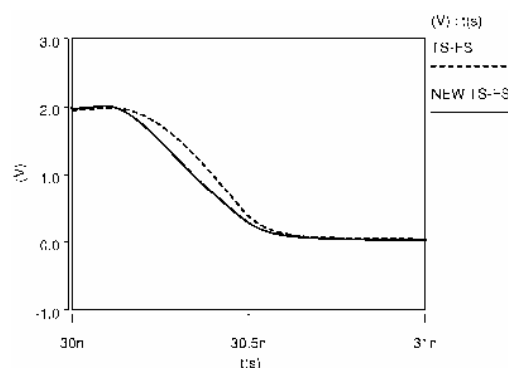
با توجه به مقدار  $C_{CB}$  در مدل به کار رفته (که بسیار کوچک است)، فرکانس طبیعی معادله فوق تقریباً

برای رسیدن خروجی به ۵۰٪ مقدار نهایی، دست می‌یابد. به طور کلی به دو دلیل سرعت پاسخ‌گویی طرح پیشنهادی سریع‌تر است:

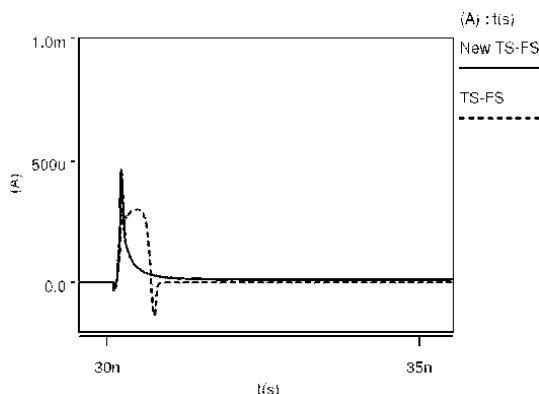
الف) با توجه به اینکه دو گیت معکوس کننده N1 و N2 تشکیل یک بی‌استابل را می‌دهند، تغییر وضعیت در خروجی مستلزم غلبه جریان ترانزیستورهای دو قطبی بر این ساختار با فیدبک مثبت است که زمان صعود و نزول را افزایش می‌دهد.

ب) در روش TS\_FS هر یک از ورودی‌های مدار به دو شبکه nMOS و به دو شبکه pMOS متصل هستند و بالطبع اگر ابعاد ترانزیستورهای شبکه‌های nMOS و pMOS به کار رفته در دو طرح فوق (TS\_FS & NewTS\_FS) با هم برابر باشد، خازن معادل در هر یک از ورودی‌های روش TS\_FS دو برابر بزرگتر از ورودی متناظرش در طرح پیشنهادی خواهد بود از این رو،

[۳] اقتباس شده است و ابعاد ترانزیستورهای ماسفت در طرح ارائه شده در این مقاله نیز چنان انتخاب شده که خازن معادل از دید ورودی‌ها در طرح پیشنهادی کمتر از طرح قبلی باشد.



شکل ۷ پاسخ زمانی طرح پیشنهادی و TS-FS در ولتاژ تغذیه ۲ ولتی



شکل ۸ مقایسه جریان بیس ترانزیستور npn در دو طرح

جدول ۱ مشخصات کلیدی ترانزیستورهای دو قطبی [۲]

BJT	nnp	pnnp
$A_E$	$0.251 \times 1 \mu m^2$	$0.25 \times 1 \mu m^2$
$\beta_F$	90	90
$\tau_F$	2.3ps	6.9ps
$C_{JE}$	3.9Ff	7.8Ff
$C_{JC}$	3.5Ff	6.8Ff
$C_{JS}$	9.5Ff	14.8Ff
$R_E$	30Ω	37Ω
$R_C$	150Ω	175Ω
$R_B$	500Ω	500Ω

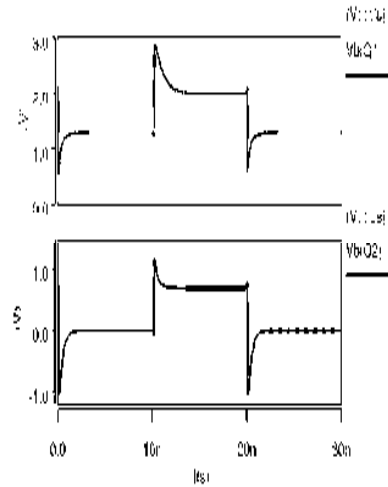
چنانکه در شکل (۷) ملاحظه می‌شود طرح پیشنهادی در این نوشتار از لحاظ زمان تأخیر تقریباً ۱۲٪ سریعتر از طرح قبلی است. توان مصرفی ایستا در طرح پیشنهادی ۹۷μw و در مدار قبلی ۸۴μw است که هر دو در مقابل توان دینامیک ناچیزند ولی تعداد ترانزیستورهای طرح جدید بسیار کمتر از طرح قبلی می‌باشد، علاوه بر آن ۱۲٪ نیز سریعتر از روش TS-FS است. تأخیر گیت معکوس کننده برای منبع تغذیه ۲ ولتی، در روش پیشنهادی در حدود ۰.۵۵ns و در روش قبلی ۰.۶۶ns است. در شکل (۸) جریان بیس ترانزیستور npn در دو طرح نشان داده شده است. در مدل پیشنهاد شده در این مقاله جریان بیس در لحظات ابتدایی بسیار بزرگ است و سپس به سمت یک مقدار بسیار کوچک میل می‌کند؛ ولی در روش قبلی پس از رسیدن به حالت پایدار در خروجی و ارسال فرمان از دو گیت معکوس کننده N1 و N2 جریان بیس قطع می‌شود. در نهایت روش پیشنهادی به زمان کمتری،



نزول می‌کرد، که در شکل این مقدار حدود ۱- است. نکته‌ای که در اینجا قابل ذکر است اثر ولتاژ منبع تغذیه بر عملکرد مدار پیشنهادی است. با کاهش ولتاژ تغذیه از برتری سرعت پاسخگویی مدار پیشنهادی کاسته می‌شود به گونه‌ای که با ابعاد طراحی شده در این مقاله، در ولتاژ تغذیه 1.1V سرعت عملکرد دو مدار مشابه می‌شود. البته با افزایش ابعاد ترانزیستورهای شبیه ساز خازن‌ها و بزرگتر کردن خازن‌ها، می‌توان ولتاژ کار مدار را به هزینه افزایش ابعاد مدار کاهش داد.

#### ۶- نتیجه گیری

روش TS\_F سریعترین مدار BiCMOS معرفی شده در مقالات و کتب مربوطه است. با تغییراتی در ساختار مدل فوق و با توجه به نوع بار خروجی که خازنی است، جریان بیس ترانزیستورهای دو قطبی در روش پیشنهاد شده در این مقاله از طریق یک شبکه RC که هر دو با ترانزیستورهای ماسفت جایگزین شده‌اند، تحریک می‌گردد. با این شیوه با حذف یک شبکه nMOS و یک شبکه pMOS، هم چنین دو گیت معکوس کننده و ترانزیستورهای زائد دیگر، تعداد ترانزیستورهای طرح پیشنهادی نسبت به روش TS-FS کاهش قابل ملاحظه‌ای نشان می‌دهد. برای مثال تعداد ترانزیستورهای به کار رفته در روش TS-FS برای تحقق یک گیت Nand چهار ورودی ۲۴ عدد و در طرح پیشنهادی در این نوشتار ۱۲ عدد است. هم چنین در نتایج شبیه سازی تأخیر گیت معکوس کننده با روش پیشنهادی ۱۲٪ کمتر از روش قبلی است.



شکل ۹ ولتاژ بیس ترانزیستورهای دو قطبی در  $V_{dd}=2V$  و  $f=50MHz$  در مدل پیشنهادی

در تعیین نسبت ابعاد ترانزیستورها در روش پیشنهادی آزادی عمل بیشتری وجود دارد که به کاهش مقاومت معادل شبکه‌های nMOS و pMOS و افزایش سرعت مدار منجر می‌گردد. در شکل (۹) ولتاژ بیس دو ترانزیستور دو قطبی دیده می‌شود. با توجه به بزرگتر بودن خازن C2 زمان تخلیه برای این خازن که به بیس ترانزیستور pnp متصل است، کمی بیشتر از خازن C1 است. چنانکه در شکل (۹) دیده می‌شود، زمان تخلیه خازن C2 (زمانی که طول می‌کشد تا خازن فوق ۹۰٪ تغییرات نهایی خود را انجام دهد) حدود 1.5ns است. هم چنین شکل فوق نشان دهنده آن است که دیودهای سورس و بدنه در لحظاتی روشن شده‌اند، چرا که در صورت فقدان دیودهای فوق ولتاژ بیس ترانزیستور npn در ابتدای سیکل خاموشی می‌بایست تا ۱/۴ ولت

#### مراجع

1. R. L. Geiger. , P. E. Allen., N.R. Strader, "VLSI Design Techniques For Analog and Digital Circuit", McGRAW\_HILL, (1990)
2. S. S. Rofail and K. S. Yeo, "Low voltage, Low Power Digital BiCMOS Circuits", Prentice Hall, (2000).
3. K. Seng, Y.S. Rafati, W.L. Goh, "CMOS/BiCMOS VLSI- Low Voltage Low Power", Pearson

- Education, (2002).
4. H. J. SHIN, "Full-Swing, "Complementary BiCMOS Logic Circuits", BCTM, Proc,Sept. (1989).
  5. W. C. Leung, "A High-Performance, Low-Power Complementary Coupled BiCMOS circuit", IEEE J. Solid\_State Circuits, vol. 32, No. 4, pp. 610-612, (1997).
  6. M. Margala. , N. G. Durdle "Noncomplementary BiCMOS Logic and CMOS Logic for Low-Voltage, Low-Power Operation—A Comprative Study", IEEE J. Solid- State Circuit, vol. 33. No. 10, (1998).
  7. M. Hiraki. ,K. Yano. ,M. Minami. ,K. Satoch. ,N. Matsuzaki. ,A. Watanabe. , T. Nishida. , k. Sasaki. , k. Seki, "A 1.5V Full-swing BiCMOS Logic Circuit", IEEE J. Solid-State Circuits, vol. 27, No. 11, (1992).
- ۸ کیوان ناوی، محسن کاظمی پارسا، آرش قربان نیا دلاور، "دروازه های منطقی بسیار سریع مد جریان"، نشریه علمی پژوهشی انجمن کامپیوتر ایران، مجلد ۳ شماره ۱، بهار (۱۳۸۴) .
9. K. Navi and A. Ghorbannia Delavar, "Very Fast Current Mode Logic Gates", CSIT Conference , Armenia (2005).
  10. J. Milman., H. Taub, "Pulse Digital and Switching Waveform", Mc Graw-Hill International Book Company, 24<sup>th</sup> printing, (1983).
  11. W. Gerold, and Neudeck., "Modular Series on Solid State Devices", in Volume III The Bipolar Junction Transistor, Addison-Wesley, (1983).