

## تحلیل و طراحی LC-VCO خطی با پهنای باند وسیع و نویز فاز کم با استفاده از فناوری SiGe-BiCMOS

حسین مکاری، عباسعلی لطفی نیستانک\*، محمد جهانبخت، رامین شقاقی

دانشکده فنی، دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران، تهران، ایران

گروه مهندسی مخابرات، دانشگاه آزاد اسلامی واحد شهر ری، تهران، ایران

گروه مهندسی برق، دانشگاه آزاد اسلامی واحد شهریار (شهر قدس)، تهران، ایران

گروه مهندسی مخابرات، دانشگاه آزاد اسلامی واحد شهر ری، تهران، ایران

### چکیده

امروزه اسیلاتورهای مجتمع کنترل شونده با ولتاژ (VCO) یکی از مهمترین اجزا در کاربرد چیپ در سیستم های مخابراتی می باشد. در این مقاله یک اسیلاتور کنترل شده با ولتاژ از نوع LC، خطی با پهنای باند وسیع، نویز فاز پایین و جریان مصرفی کم، برای کاربرد در مخابرات بی سیم، طراحی و شبیه سازی شده است. این ساختار مداری که با استفاده از فناوری AMOS 0.35 $\mu$ m SiGe BiCMOS شبیه سازی شده است، شامل ورکتورهای MOS در فرایند CMOS می باشد. برای افزایش کارکرد خطی و پهنای باند گسترده از ۳ طبقه موازی MOS ورکتور استفاده شده است. مقدار نویز فاز در فرکانس افس 1MHz،  $-117/38$  dBc/Hz می باشد و همین طور در فرکانس افس ۳MHz برابر با  $-127/2$  dBc/Hz و نسبت تغییرات  $K_{vco}$ ،  $1/24$  GHz/V است. این ساختار پهنای باند فرکانسی در حدود ۱GHz داشته و از فرکانس  $4/29$ GHz تا  $5/29$ GHz را پوشش می دهد. جریان مصرفی  $3/13$ mA با ولتاژ  $3/27$ V، و مقدار FOM برابر با  $-187/5$ ، عملکرد این مدار را نسبت به مقالات دیگر متمایز می کند.

**کلمات کلیدی:** ورکتور AMOS، فناوری SiGe BiCMOS، اسیلاتور کنترل شونده با ولتاژ (VCO).

### ۱ مقدمه

در سال های اخیر از جمله محبوب ترین و پرکاربردترین شبکه های مخابرات در بسیاری از کشورها جهت بازارهای مصرف، شبکه محلی بی سیم (WLAN) می باشد. بسیاری از استانداردهای WLAN مانند Home RF، بلوتوث و استاندارد IEEE 802.11a و اخیراً استاندارد IEEE 802.11n، که در فرکانس 5GHz کار می کنند، پس افزایش پهنای باند و متعاقب آن خطی سازی مهمترین دغدغه در سیستم هایی با کاربرد wireless می باشد. در فرستنده و گیرنده های مجتمع، ابعاد سایز، نویز فاز پایین و سرعت بالای شبکه ارتباطی بی سیم با هزینه پایین از تاثیرگذارترین موارد می باشند. در فرستنده و گیرنده ها (transceiver)، اسیلاتور کنترل شونده با ولتاژ از کلیدی ترین مدارات می باشد.

\*عهدار مکاتبات

آدرس الکترونیکی: alotfi@iust.ac.ir

فرکانس نوسان و نویز فاز، برای LC VCO مجتمع در معادلات ۱ و ۲ بیان شده است [1].

$$W_{osc} = \frac{1}{2\pi\sqrt{L_{ind} \cdot C}} \quad (1)$$

$$G_m = R_{eff} (F - 1) \cdot (W \cdot C)^2 \quad (2)$$

در معادلات بالا  $L_{ind}$ ،  $C$ ،  $R_{eff}$ ، به ترتیب اندوکتانس سلف مارپیچی، خازن کل رزوناتور، مقاومت پارازیتی رزوناتور اسیلاتور می‌باشد.

برای دسترسی به شرایط لازم در استاندارد IEEE 802.11a مقدار نویز فاز در افسست 1MHz در فرکانس حامل، باید کمتر از 110 dBc/Hz باشد [2] که ساختار ارایه شده به این مهم نایل آمده است.

اکثریت تحقیقات و مقالات انجام شده درباره طراحی VCO روی پهنای باند، نویز فاز پایین و توان مصرفی dc پایین، متمرکز شده و کمتر تحقیقی در مور عملکرد خطی VCO صورت گرفته است، اما در این مقاله با ارایه ساختار رزوناتور جدیدی سعی شده است که با در نظر گرفتن پهنای باند گسترده و نویز فاز پایین، خطی سازی نوسان نیز در نظر گرفته شود که از مهمترین پارامترهای مدار طراحی شده می‌باشد. گین اسیلاتور کنترل شونده با ولتاژ ( $K_{vco}$ )، به وسیله مشتق گیری از فرکانس نوسان نسبت به ولتاژ کنترل به دست می‌آید.

$$K_{vco} (V_{ctrl}) = \frac{\partial f_{osc} (V_{ctrl})}{\partial V_{ctrl}} \quad (3)$$

که  $f_{osc}$ ، فرکانس نوسان و  $V_{ctrl}$ ، ولتاژ کنترل ورکتور می‌باشد. بدلیل اینکه، فرکانس های نوسان به صورت خطی توسط ولتاژ کنترلر کنترل می‌شوند، پس  $K_{vco}$  کاملاً خطی خواهد بود. گین VCO پارامتر کنترلی مهمی در در طراحی PLL است که حتی تحقیقات گسترده و مقالات متعددی در این زمینه چاپ شده است.

در این طراحی یک اسیلاتور مجتمع کنترل شونده با ولتاژ (VCO) با پهنای باند گسترده، نویز فاز پایین، جریان مصرفی کم و  $K_{vco}$  خطی با رزوناتور جدیدی با استفاده از ورکتور MOS برای کاربرد بی سیم (wireless) ارایه شده است. طراحی و شبیه سازی این VCO با استفاده از فناوری  $0.35 \mu\text{m SiGe BiCMOS}$  انجام شده است. در این مقاله از بین توپولوژی های مختلف توپولوژی CMOS انتخاب شده است. MOS VCO، غیر خطی بودن گین VCO را همزمان با پایین نگه داشتن نویز فاز، توان و محدوده نوسان وسیع را جبران می‌کند.

در این مقاله مراحل بدین ترتیب دسته‌بندی خواهند شد: در بخش دوم، در مورد طراحی VCO، مدار رزوناتور پیشنهادی، و طراحی مدار هسته VCO، توضیح داده می‌شود. در بخش سوم، نتایج شبیه سازی و جداول مربوطه آورده شده است و در آخرین قسمت، خلاصه و نتیجه گیری کلی مقاله ارایه خواهد گردید.

## ۲ طراحی VCO

### ۲-۱ ملاحظات کلی طراحی VCO

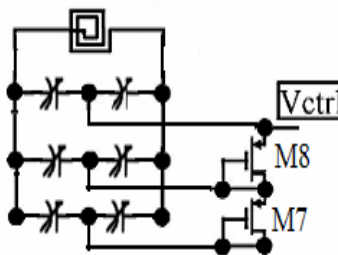
در این مقاله خطی سازی گین VCO و بهینه کردن نویز فاز مدار مجتمع MOS VCO در طراحی در نظر گرفته شده است که معادلات این دو پارامتر در بالا ذکر گردید. بیشترین منابع مهم برای عملکرد نویز فاز در مدار MOS VCO عبارتند از مقاومت پارازیتی رزوناتور و دامنه نوسان VCO. انواع توپولوژی مدار VCO تأثیری بر روی مقاومت پارازیتی رزوناتور، ندارد اما از طرفی دیگر، دامنه خروجی، شدیداً به توپولوژی مدار وابسته می‌باشد. که آنهم به این دلیل است که خطی بودن هر قطعه متمایز با خودش است. در نهایت همه منابع نویز باهم ترکیب شده تا فرمول مشهور Leeson که مطابق با معادله زیر است به دست آید:

$$L(\omega_m) = \frac{2kT \cdot R_{eff} \cdot F}{V_{amp}^2} \left( \frac{\omega_{osc}}{\omega_m} \right)^2 \quad (4)$$

که  $F$  و  $V_{amp}$ ،  $R_{eff}$  به ترتیب مقاومت پارازیتی رزوناتور، دامنه نوسان VCO و فاکتور مشخصه عملکرد نویز فاز اسیلاتور می‌باشد.

### ۲-۲ مدار رزوناتور

رزوناتور مستقر در VCO بر مبنای اصل، افزودن مقاومت منفی بین فیدبک رزوناتور کار می‌کند. با نوسان رزوناتور، رنج فرکانس مطلوب را می‌توان پوشش داد. چنانچه در شکل ۱ مدار رزوناتور پیشنهاد شده در این مقاله و توپولوژی Gm- را نشان می‌دهد، این رزوناتور شامل ۳ طبقه جفت ورکتور MOS، سلف مارپیچی، و ولتاژ کنترلر می‌باشد. به طور کلی توپولوژی Gm- برای کاربردهای سطح بالا در طراحی wireless استفاده می‌شود.



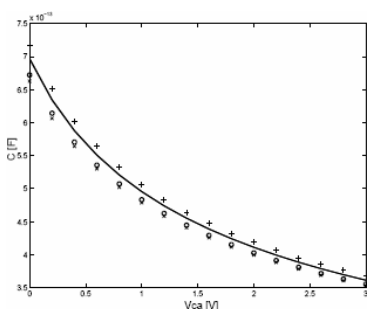
شکل ۱: مدار معادل رزوناتور پیشنهاد شده

البته شایان ذکر است که فاکتور کیفیت (quality factor) کل مدار رزوناتور به وسیله رسانایی پارازیتی خازن و سلف تعیین می‌شود. زمانی که ورکتور MOS accumulation mode مقدار Q نسبتاً بزرگی نسبت به سلف های درون چپ داشته باشد در این صورت Q سلف نقش تعیین کننده اصلی در Q مدار رزوناتور خواهد داشت. از ترانزیستور PMOS بدلیل داشتن flicker-noise پایین در مدار شیفته دهنده ولتاژ، ولتاژ کنترل استفاده شده است. تغییرات فرکانس به وسیله ورکتور بوجود می‌آید، که البته آن مولفه ای نوسانی معمولی در مدار VCO می‌باشد، بدان علت که جهت نوسان، مقدار خازن مقایسه شده نسبت به سلف مدار رزوناتور، بسیار راحت

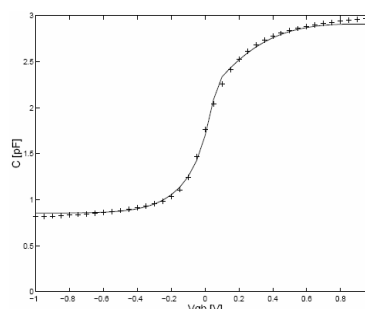
می باشد.

رنج نوسانی یکی از مهمترین پارامترهای عملکردی است و مشکل اصلی در طراحی VCO در فناوری های CMOS و BiCMOS می باشد. این نقیصه بخاطر محدودیت رنج نوسانی و رکتور p-n junction می باشد. اما رنج نوسانات accumulation-Mode MOS (AMOS)، نسبت به انواع دیگر و رکتورها بیشتر می باشد که با استفاده از این نوع و رکتور می توان انتظار پهنای باند خوبی را داشت. به علاوه مدار VCO با استفاده از این قطعه می تواند به صورت خطی کار کند.

از دسترس ترین و رکتورهای مجتمع شده می توان به دو گونه آن اشاره کرد: دیود و رکتور و رکتور MOS. یک و رکتور MOS، از خازن گیت MOS استفاده می کند که ظرفیت خازنی آن می تواند با تغییرات گیتش یا ولتاژ بایاس بالک (bulk) تغییر یابد. برای نمونه فرآیند ساخت یک دیود و رکتور را می توان بدین شکل مطرح نمود که، به وسیله اتصال p+/nwell با ظرفیت خازنی اتصالش، که به وسیله تغییرات ولتاژ بایاس معکوسش مدوله می شود.



(ب)



(الف)

شکل ۲: منحنی C-V بین (الف) و رکتور accumulation-mode MOS و (ب) و رکتور PN junction

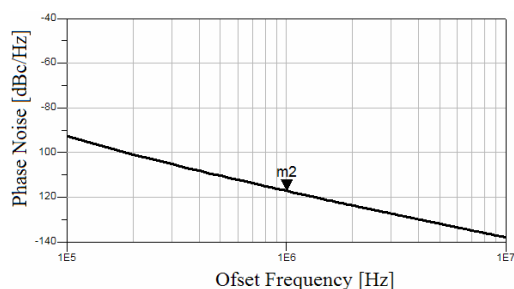
ظرفیت خازنی MOS، به وسیله ضخامت اکسید گیتش تعیین می شود در صورتی که ظرفیت خازنی دیود به وسیله تغلیظ فرم اتصال PN مشخص می شود. شکل (۲) مشخصه C-V یک AMOS و رکتور و رکتور اتصال دیودی را نشان می دهد. همان طور که این شکل نشان می دهد، منحنی و رکتور MOS تغییرات تندتری در ظرفیت خازنی دارد و رنج تغییرات وسیع تری نسبت به دیود و رکتور دارد و آنهم به این دلیل است که دیود و رکتور در منطقه بایاس معکوس کار می کند. و رکتور MOS در ساختار ارایه شده برای مدار VCO انتخاب شده است.



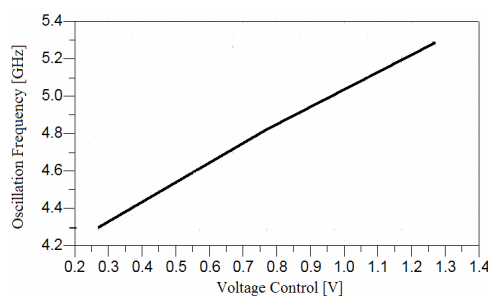
در این طراحی فناوری BiCMOS انتخاب شده است. برای طراحی VCO با استاندارد IEEE 802.11a از فناوریها و توپولوژی های مختلفی استفاده می شود. اما قطعا SiGe BiCMOS ( $0.35 \mu\text{m}$ ) به عنوان مناسبترین فناوری می باشد. با استفاده از این فناوری و توپولوژی استفاده شده، نویز فاز پایین، سرعت بالا، رنج فرکانسی بالا قابل طراحی است.

## ۲-۳-۱ نتیجه

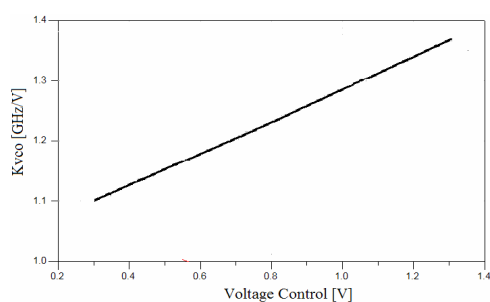
مدار VCO پیشنهادی با استفاده از نرم افزار Agilent ADS شبیه سازی شده است. جریان مصرفی هسته VCO بدون در نظر گرفتن بافر، در حدود  $3/13 \text{ mA}$  با ولتاژ منبع تغذیه  $3/2$  ولت می باشد. تعداد ورکتورهای MOS و طبقاتش بهینه شده است. بنا بر شبیه سازی مدار، VCO می تواند  $1 \text{ GHz}$  را نوسان کند که نوسان فرکانسی در شکل ۴ نشان داده شده است.



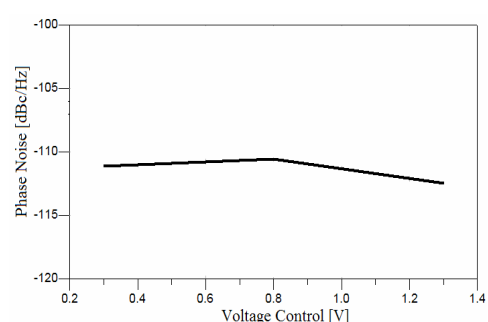
شکل ۵: نویز فاز در فرکانس افسست  $1 \text{ MHz}$



شکل ۴: مشخصه نوسانی VCO



شکل ۷: شبیه سازی Kvco برای مدار پیشنهادی



شکل ۶: نویز فاز نسبت به ولتاژ کنترل در فرکانس افسست  $1 \text{ MHz}$

اگرچه در نظر گرفتن پهنای باند وسیع باعث خواهد شد که نویز فاز پایینی داشته باشیم، اما با وجود این مقدار نویز فاز در این مدار در فرکانس افسست  $1 \text{ MHz}$  برابر با  $-117/381 \text{ dBc/Hz}$  می باشد و در  $3 \text{ MHz}$  برابر با  $-127/2 \text{ dBc/Hz}$ ، و در نمودار حاصل از این شبیه سازی برای نویز فاز در شکل (۵) آورده شده است. عملکرد نویز فاز اسیلاتور کنترل شونده با ولتاژ، نسبت به تغییرات ولتاژ کنترل نیز در شکل (۶) نشان داده شده است که نشان دهنده پایداری مدار ارایه شده می باشد.

خطی بودن عالی، مدار پیشنهاد شده با نسبت  $K_{vco}$ ،  $1/24$  در شکل ۷ آورده شده است. و گین VCO بین  $1/1$  تا  $1/37$  تغییر می‌کند. نوسان خطی این ساختار ارایه شده محدوده  $1000\text{MHz}$  را پوشش می‌دهد. فرکانس نوسان از  $49/29\text{GHz}$  تا  $5/29\text{GHz}$  تغییر می‌کند که تغییرات ولتاژ کنترل از  $0/3\text{V}$  تا  $1/3\text{V}$  می‌باشد. جدول (۱) مشخصات VCO طراحی شده در این مقاله را نشان می‌دهد. شبیه سازی هسته VCO با بافرش توان خروجی در حدود  $-5/2\text{dBm}$  را نشان می‌دهد. همچنین کل جریان مصرفی مدار در حضور بافر  $3/13\text{mA}$  می‌باشد. عدد شایستگی (FOM)، که جهت ارزیابی عملکرد VCOS بسیار مورد استفاده قرار می‌گیرد به وسیله فرمول (۵) تعریف می‌شود:

$$FOM = L(\Delta f_m) - 20 \log(f_0/f_m) + 10 \log \frac{P_{diss}}{mW} \quad (5)$$

که در آن،  $L$ ، نویز فاز،  $f_0$  فرکانس نوسان،  $f_m$  فرکانس افست و  $P_{diss}$  توان مصرفی VCO می‌باشد. مقدار FOM مستقل از نسبت  $K_{vco}$  می‌باشد اما با این حال نسبت  $K_{vco}$  مهم ترین جزء عدد شایستگی است [6].

عملکرد پارامترها	نتایج شبیه سازی
فناوری	$0/35\ \mu\text{m SiGe}$ BiCMOS
محدوده تغییرات نوسان فرکانس GHz	$4/29 \sim 5/29$
جریان مصرفی	$3/13\ \text{mA}$
ولتاژ تغذیه	$3/2\ \text{V}$
نسبت $K_{vco}$	$1/24$
نویز فاز در فرکانس افست $600\ \text{KHz}$	$-112/28\ \text{dBc/Hz}$
نویز فاز در فرکانس افست $1\ \text{MHz}$	$-117/38\ \text{dBc/Hz}$
نویز فاز در فرکانس افست $3\ \text{MHz}$	$-127/2\ \text{dBc/Hz}$
توان خروجی	$-5/2\ \text{dBm}$
FOM	$187/5$

جدول ۱: خلاصه نتایج شبیه سازی شده VCO پیشنهادی

جدول (۲) پارامترها و عملکرد مدار VCO پیشنهادی را با تعدادی از مقالات دیگر که در فناوریهای CMOS و BiCMOS انجام شده‌اند را نشان می‌دهد. که با توجه به این جدول می‌توان گفت که مدار ارایه شده دارای مشخصات بسیار خوبی می‌باشد.

مرجع	[4]	[7]	[8]	[9]	این مقاله
نوسان (MHz)	۵۰۰	۴۴۰	۳۹۰	۳۰۰	۱۰۰۰
نویز فاز در 1 MHz	-۱۱۶	-۱۱۰/۳	-۱۲۰/۴	-۱۲۰	-۱۱۷/۳۸۱
I (mA)	۳/۴	۶/۸	-	۸/۵	۳/۱۳
FOM	-۱۸۱	-۱۶۹/۴	-۱۸۹/۶	-۱۷۶	-۱۸۷/۵
فناوری	SiGe	SiGe	CMOS	SiGe	SiGe

جدول ۲: مقایسه بین VCO طراحی با مقالات دیگر

### ۳ بحث و نتیجه گیری

در این مقاله یک VCO از نوع LC مجتمع شده با نوسانی از فرکانس ۴/۲۹GHz تا ۵/۲۹ GHz برای استاندارد IEEE 802.11a، با استفاده از فناوری SiGe BiCMOS ۰/۳۵ μm، طراحی و شبیه سازی شده است. ساختار این VCO، از نوع Cross-couple CMOS، می باشد. در این مقاله، برای تحقق، خطی سازی پهنای باند وسیع و پایین آوردن نویز فاز با مصرف جریان پایین از accumulation mode MOS و رکتور استفاده شده است. شبیه سازی VCO پیشنهادی با استفاده از مدار رزوناتور جدید جهت دست یافتن به نوسان خطی ۱۰۰۰ MHz انجام شده است. جریان مصرفی ۱۲/۱۳ mA با ولتاژ ۳/۲ V با مدار بافر به دست آمده است. مدار VCO طراحی شده با استفاده از فناوری BiCMOS دارای عملکردی بسیار عالی می باشد که با مقایسه با مقالات دیگر عملکرد پارامترهای آن قابل توجه خواهد بود.

### منابع

- [1] Craninckx J., and M. Steyaert, A Fully integrated CMOS DCS-1800 Frequency Synthesizer, IEEE Journal of Solid-State Circuit, Vol.33, No.12, pp.2054-2065, December 1998.
- [2] IEEE Std. 802.11 Wireless LAN medium access control (MAC) and physical layer (PHY) specifications: High-speed physical layer in the 5 GHz band, IEEE, Sept 1999.
- [3] P. Andreani, H. Sjöland, Tail Current Noise Suppression in RF CMOS VCOs harmonic, IEEE Journal Solid-State Circuits, vol.37, no.3, March 2002, pp 342-348
- [4] S. Kurachi, T. Yoshimasu, H. Liu, N. Itoh, K. Yonemura, A SiGe BiCMOS VCO IC with Highly Linear Kvco for 5-GHz-Band Wireless LANs, IEICE Transactions on Electronics, June 2007, pp. 1228-1233.
- [5] Hsieh, H. H., C. T. Lu, and L. H. Lu, A 0.5-V 1.9-GHz low-power phase-locked loop in 0.18-μm CMOS, 2007 Symposium on VLSI Circuits Digest of Technical Papers, 164-165, 2007.
- [6] Neric F., O. Plouchart, N. Zamdmer, D. Liu, L. Wagner, C. Plett, and G. Tarr, A low-voltage multi-GHz VCO with 58% tuning range in SOI CMOS, Proc. IEEE 2005 Custom Integrated Circuits Conference, pp.423-426, May 2002.
- [7] H. Feng, Q. Wu, X. Guan, R. Zhan and A. Wang, 2005, A 2.45GHz Wide Tuning Range VCO using MOS Varactor in 0.35μm SiGe BiCMOS Technology, IEEE International Symposium on Microwave, Antenna, Propagation and EMC Technologies for Wireless Communication Proceeding, , pp.10-13.
- [8] Tasi M., Y. Cho, and H. Wang, A 5-GHz Low Phase Noise Differential Colpitts CMOS VCO, IEEE Microwave and Wireless Components Letters, Vol.15, No.5, pp.327-329, MAY 2005.
- [9] P. Upadhyaya, D. Heo, Y-J. Emery Chen, A 1.3V Low Phase Noise 2-GHz CMOS Quadrature LC VCO, Proceedings of the 1st European Microwave Integrated Circuits Conference, September 2006, Manchester UK, pp.169-172.