

طراحی و پیاده‌سازی دو ساختار خط لوله‌ای برای محاسبه بی‌درنگ گشتاورهای مرتبه بالا در تصاویر خاکستری

مهرداد مناجاتی، احسان‌اله کبیر و عبدالرضا نبوی

زیادی دارند و دامنه استفاده از آنها روز به روز در حال گسترش است. هرگاه یک تصویر رقمی $m \times n$ را در دستگاه مختصات دوعبده با تابع $f(x, y)$ در نظر بگیریم، گشتاور مرتبه (p, q) آن به صورت زیر تعریف می‌شود

$$M_{pq} = \sum_{x=1}^m \sum_{y=1}^n x^p y^q f(x, y) \quad x \leq m, y \leq n \quad (1)$$

گشتاورهای مرتبه پایین، برای استخراج ویژگی و تعیین گرانیگاه، موقعیت و راستای یک شیء به کار می‌روند. گشتاورهای مرتبه بالاتر سایر خصوصیات تصویر را نشان می‌دهند و در بازشناسی الگو^۴ و بازنمایی تصویر استفاده می‌شوند [۱]. محاسبه مستقیم (۱)، به $m \times n \times (q + p + 2)$ عمل ضرب و $m \times n$ عمل جمع نیاز دارد. تعداد زیاد عملیات محاسباتی، محاسبه گشتاورها را در حالت بی‌درنگ با مشکل مواجه می‌کند.

در سال‌های گذشته، الگوریتم‌ها و ساختارهای زیادی برای افزایش سرعت محاسبه گشتاورها ارائه شده‌اند. برخی از این ساختارها برای گشتاورهای مرتبه پایین و یا تصاویر دودویی^۵ کاربرد دارند [۲] و [۳]. پیاده‌سازی سخت‌افزاری برخی از روش‌ها بازدهی ندارد [۴] و [۵]. از طرفی برخی از ساختارهای پیشنهادشده، به دلیل پیچیدگی و تعداد پردازنده‌های زیادی که دارند، از نظر توان و سطح مصرفی، کاربرد عملی ندارند [۶] و [۷].

روش‌های مختلفی برای ساده‌سازی محاسبه و پیاده‌سازی الگوریتم‌های محاسبه گشتاور تصویر تاکنون ارائه شده‌اند [۷] تا [۱۷].

مرجع [۱۱] برای محاسبه گشتاورها از فیلترهای رقمی^۸ استفاده کرده است. در این روش از رابطه بین پاسخ ضربه یک فیلتر رقمی تک‌قطب با (۱) استفاده شده است. برای محاسبه گشتاورهای مرتبه بالاتر، این فیلترها به صورت ردیفی و ستونی پشت سر هم قرار می‌گیرند. پیاده‌سازی ساختار [۱۱] روی یک تراشه و در تکنولوژی CMOS ASIC 0.7μ انجام شده است. با استفاده از این تراشه، شانزده گشتاور اول از یک تصویر 512×512 با ۸ بیت در هر پیکسل، به صورت بی‌درنگ و با سرعت ۳۰ فریم در ثانیه محاسبه می‌شوند. مراجع [۱۲] و [۱۶] و [۱۷]، این روش را بهبود داده‌اند. پیاده‌سازی ساختارهای [۱۲] و [۱۶] و [۱۷] در تکنولوژی FPGA انجام شده است. فرکانس نامی پالس ساعت در [۱۶]، ۴۰ مگاهرتز و مستقل از اندازه تصویر است. در هر سیکل ساعت، یک پیکسل وارد ساختار می‌شود. بنابراین زمان پردازش هر پیکسل ۲۵ ns است. این سرعت برای کاربردهای بی‌درنگ مناسب است.

چکیده: گشتاورها در پردازش تصویر و برای بازشناسی الگو، بینایی ماشین و بسیاری از تکنیک‌های استخراج ویژگی‌های شیئی به کار می‌روند. به دلیل بار محاسباتی الگوریتم‌های محاسبه گشتاور، کاربرد آنها در حالت بی‌درنگ با مشکل مواجه است. این موضوع با افزایش مرتبه گشتاورها واضح‌تر می‌شود. در این مقاله دو ساختار جدید بر پایه آرایه تپنده، با استفاده از خاصیت‌های موازی‌سازی، خط لوله و متراکم‌کننده، برای محاسبه گشتاورهای تا مرتبه ۱۴، M_{14} تا M_{14} ، تصاویر خاکستری در حالت بی‌درنگ ارائه می‌شود. پیاده‌سازی ساختارها در تکنولوژی ۰/۱۸ میکرون CMOS انجام می‌شود.

یک سلول ساختار اول قادر است گشتاور مرتبه $(p+q)$ از یک تصویر 1024×1024 را با سرعت ۱۲۵ فریم در ثانیه محاسبه کند. با اتصال ۱۱ سلول به یکدیگر و استفاده از عملکرد موازی، ساختار فوق می‌تواند ۴۹ گشتاور اول یک تصویر 1024×1024 را با سرعت ۳۰ fps محاسبه کند. بیشینه فرکانس کار ساختار ۱، ۱۳۳ MHz و توان مصرفی ساختار متشکل از ۵ سلول، ۱۴.۳۶ mW است.

ساختار دوم با استفاده از سلول‌های ساختار اول پیشنهاد شده است که جمع‌کننده‌های سلول‌ها به بیرون از آنها انتقال داده شده‌اند. برای تسریع محاسبه مجموع خروجی‌های سلول‌ها، عملیات جمع با استفاده از متراکم‌کننده و یک جمع‌کننده انجام شده است. با استفاده از این روش، زمان نهفتگی نسبت به ساختار اول با استفاده از ۹ سلول ۳/۳ برابر کمتر شد. بیشینه فرکانس کار این ساختار ۱۲۵ MHz و توان مصرفی آن ۵۸/۳۴ mW است. کارایی ساختار دوم از لحاظ فرکانس و توان مصرفی مشابه ساختار اول است و برای محاسبه گشتاورها در حالت بی‌درنگ مناسب است.

کلید واژه: آرایه تپنده، پردازش بی‌درنگ، پردازش تصویر، ساختار خط لوله، گشتاور.

۱- مقدمه

گشتاورها ابزار قدرتمندی در تجزیه و تحلیل تصاویر هستند. از آنها برای شناسایی اشیا^۱، تخمین وضعیت^۲ اجسام سه‌بعدی، کد کردن و بازنمایی^۳ تصویر و مدل کردن شیئی استفاده می‌شود. گشتاورها کاربردهای

این مقاله در تاریخ ۱۹ دی ماه ۱۳۸۵ دریافت و در تاریخ ۳۱ مرداد ماه ۱۳۸۶ بازنگری شد. این تحقیق از پشتیبانی مالی مرکز تحقیقات مخابرات ایران بر اساس قرارداد شماره ۵۰۰/۱۲۵۹۷/ت/کد ۷۶-۱۰-۸۵-TMU برخوردار بوده است.

مهرداد مناجاتی، دانشکده فنی و مهندسی، دانشگاه تربیت مدرس (email: mehrnaz_monajati@yahoo.com).

دکتر احسان‌اله کبیر، دانشکده فنی و مهندسی، دانشگاه تربیت مدرس (email: kabir@modares.ac.ir).

دکتر عبدالرضا نبوی، دانشکده فنی و مهندسی، دانشگاه تربیت مدرس (email: abdoln@modares.ac.ir).

1. Object Recognition
2. Pose Estimation
3. Representation

4. Digital
5. Moments
6. Pattern Recognition
7. Binary
8. Digital Filter

ساختار ۲ به همراه مترامکننده استفاده شده ارائه شده و بخش ۵ یک چیدمان مؤثر برای کاهش زمان نهفتگی^۷ ارائه می‌دهد. در بخش ۶ نتایج پیاده‌سازی آورده شده و با نتایج کارهای مشابه سابق مقایسه می‌شود و نهایتاً نتیجه‌گیری و فهرست مراجع آورده شده است.

۲- ساختار ۱

۲-۱ مرحله مقدماتی

آرایه تپنده، یک راه حل کلی برای نگاشت محاسبات سطح بالا به ساختارهای سخت‌افزاری است. هدف از ساختار تپنده این است که داده‌ای که از حافظه خارج می‌شود، توسط هر سلول پردازش شده و سپس به سلول بعدی در آرایه پمپ شود. از جمله مزایای سیستم تپنده، مدولار بودن آن، جریان منظم و ساده داده، پاسخ زمانی سریع و امکان استفاده از سلول‌های یکنواخت و ساده است [۴]. با توجه به (۱)، در محاسبه گشتاورهای تصویر باید عملیات ضرب به صورت تکراری و برای هر پیکسل از تصویر انجام شود و در نهایت عبارات محاسبه شده با هم جمع شوند. در حالت بی‌درنگ، لازم است تا با خروج هر پیکسل تصویر از دوربین پردازش مورد نظر روی آن شروع شده و تا رسیدن پیکسل بعدی تمام شود. در این صورت با خروج کامل تصویر از دوربین، پردازش روی آن خاتمه می‌یابد. در صورتی که خروجی دوربین به صورت "روش ردیف به ردیف"^۸ باشد، ابتدا باید عبارت $f(x, y) = x^p y^q$ برای تک‌تک پیکسل‌های اولین ردیف از تصویر محاسبه شود و سپس با خروج ردیف بعدی تصویر از دوربین، این عملیات برای آن ردیف تکرار شود. بنابراین، استفاده از آرایه تپنده برای پیاده‌سازی الگوریتم محاسبه گشتاور مناسب است. اغلب ساختارهایی که تاکنون ارائه شده‌اند، آرایه تپنده را پایه کار خود قرار داده‌اند [۹] و [۱۰].

در این پژوهش، از ساختار تپنده نشان داده شده در شکل ۱ استفاده می‌شود [۹]. این ساختار، n واحد ضرب‌کننده و n واحد جمع‌کننده دارد و شامل $n+1$ مرحله خط لوله است. در این شکل، نماد $+$ برای نشان دادن واحد جمع‌کننده و نماد P برای نشان دادن واحد به‌توان‌رساننده و محاسبه ضرب به کار رفته است. آخرین جمع‌کننده خروجی جمع‌کننده قبلی از خودش را با مقدار ذخیره‌شده قبلی جمع می‌کند. ترکیب هر "+" و "P"، یک سلول پردازنده (MPE^A) در نظر گرفته می‌شود. شکل ۲ ساختار یک سلول محاسبه گشتاور را نشان می‌دهد. واحد کنترل داده، $f(x, y)$ را از دوربین دریافت کرده و x ، y و $f(x, y)$ مرتبط با هر سلول را به آن سلول ارسال می‌کند. برای سادگی، شمای واحد کنترل نشان داده نشده است. در این ساختار، همه واحدها هم‌زمان با هم و روی لبه بالا رونده پالس ساعت کار می‌کنند. با اتصال چند سلول پشت سر هم، یک آرایه تپنده از سلول‌ها ایجاد می‌شود. شکل ۳ ساختار متشکل از سه سلول را نشان می‌دهد. در این شکل، سلول شماره ۱، پیکسل‌های مربوط به اولین ستون تصویر را پردازش می‌کند. سلول‌های دوم و سوم محاسبات را به ترتیب روی پیکسل‌های ستون‌های دوم و سوم تصویر انجام می‌دهند. بعد از اتمام محاسبات روی این سه ستون، پیکسل‌های مربوط به ستون‌های چهارم تا ششم تصویر به ترتیب وارد سلول‌های اول تا سوم می‌شوند و این روند برای ستون‌های بعدی تصویر تکرار می‌شود.

برای محاسبه گشتاورهای مرتبه‌های مختلف، از قالب ممیز شناور استفاده می‌شود. با افزایش مرتبه گشتاورها، تعداد بیت‌های این اعداد به سرعت افزایش می‌یابد تا محدوده گشتاورهای محاسبه شده را بپوشانند. در بعضی از ساختارهای ارائه شده، از تکنیک‌های جبهه موج^۱ استفاده می‌شود تا نرخ تولید خروجی را با زمان‌های متغیر پردازش، ناشی از واحدهای محاسباتی ممیز شناور، هماهنگ کنند [۹]. اگرچه در این روش‌ها، نیازی به رعایت طولانی‌ترین دوره تناوب نیست، اما آنها برای تبادل داده‌ها بین پردازنده‌ها به مدارات اضافی نیاز دارند که هزینه ساخت سخت‌افزار را بسیار بالا می‌برد. در [۹] یک ساختار شتاب‌دهنده محاسبه گشتاورها مبتنی بر آرایه تپنده^۲ و جبهه موج و با استفاده از موازی‌سازی پیشنهاد شده است. پیاده‌سازی ساختار [۹] با استفاده از کد VHDL و در تکنولوژی FPGA انجام شده است. فرکانس پالس ساعت ۷۵ MHz و مدت زمان متوسط برای اینکه هر سلول یک گشتاور را محاسبه کند ۰/۱۲۶ ثانیه است. این مدت زمان مستقل از مرتبه گشتاور است.

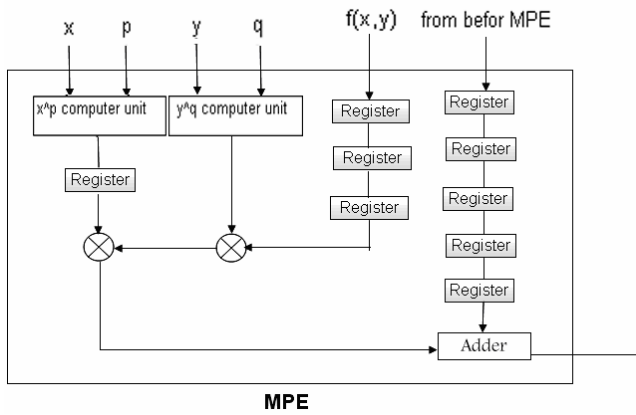
در [۱۰]، پیاده‌سازی الگوریتم محاسبه گشتاورها در حالت بی‌درنگ با استفاده از آرایه تپنده و در سه تکنولوژی ASIC، FPGA و DSP انجام شده است. در پیاده‌سازی FPGA از XC۴۰۱۳E-PQ۱۶۰ از نسخه ۲/۱ محصولات Xilinx که شامل ۵۷۶ بلوک منطقی است، استفاده می‌شود. بیشینه فرکانس کاری ساختار در این حالت ۱۰ MHz است و پردازنده را قادر می‌سازد تا گشتاورهای یک تصویر دوبعدی را با نرخ ویدئویی لازم برای تصویر با 640×640 در حالت بی‌درنگ محاسبه کند. برای پیاده‌سازی ASIC، کد VHDL ساختار با استفاده از نرم‌افزار Synopsys سنتز شده است. این عمل در کتابخانه با سلول‌های استاندارد Atmel ES۲ و برای dual-metal Cmos و در تکنولوژی ۰/۵ میکرون انجام شده است. بیشینه فرکانس کار در این حالت، ۲۳/۳۶ MHz است که نسبت به پیاده‌سازی با FPGA با ضریب $2/32$ افزایش یافته است. توان مصرفی در حالت ASIC نسبت به FPGA، ۸٪ کاهش یافته است. با توجه به نتایج [۱۰]، پیاده‌سازی ASIC مناسب‌ترین نوع برای کاربردهای کم‌توان مانند تجهیزات متحرک^۳ است. پیاده‌سازی DSP برای عملیاتی مناسب است که در پردازنده میزبان انجام می‌شوند و توان مصرفی آنها چندان مهم نیست. نتیجه پیاده‌سازی FPGA حاکی از آن است که این نوع پیاده‌سازی در قسمت طراحی و آزمایش پردازنده مفید واقع می‌شود، زیرا توان مصرفی آن بالا است و فرکانس کاری متوسطی دارد.

در این مقاله، دو ساختار جدید برای محاسبه گشتاورهای دوبعدی تا مرتبه ۱۴ ($q = 0, 1, 2, \dots, 7$, $p = 0, 1, 2, \dots, 7$) تصاویر خاکستری در حالت بی‌درنگ ارائه می‌شود. در این ساختارها، از آرایه تپنده و خاصیت موازی‌سازی به‌همراه خاصیت خط لوله‌ای^۴ و مترامکننده^۵ استفاده می‌شود. محاسبات در قالب ممیز شناور و پیاده‌سازی در تکنولوژی ۰/۱۸ میکرون CMOS، ASIC انجام می‌شود.

ساختار این مقاله به ترتیب زیر است: در بخش ۲، ساختار آرایه تپنده و یک آرایش مؤثر برای ثبات‌های انتقال‌دهنده پیکسل‌های تصویر به درون ساختار ارائه شده و ساختار ۱ نظر بیان می‌شود. بخش ۳ راجع به یک ساختار مؤثر برای واحد مولد تا توان‌های 7 متغیرهای x و y بوده و نوع واحدهای ضرب و جمع‌کننده استفاده شده آورده شده است. در بخش ۴،

1. Wave Front
2. Systolic Array
3. Mobile Equipments
4. Pipelining
5. Compressor

6. Layout
7. Latency
8. Raster Scan
9. Moment Processing Element



شکل ۲: شمای یک سلول محاسبه گشتاور.

برای جمع نماها، یک جمع کننده 10 بیتی لازم است. ضرب دو عدد ممیز شناور با جمع نماها و ضرب مانیتیس دو عدد انجام می‌شود. بنابراین یک ضرب کننده 10 بیتی لازم است.

در این مقاله، از CSA^2 به عنوان واحد جمع کننده و از ضرب کننده دادا^۳ به عنوان واحد ضرب کننده استفاده می‌شود که نسبت به انواع مشابه، سرعت بالاتری دارند.

برای دستیابی به سریع‌ترین CSA ، باید بین همه مسیرهای ورودی تا بیت نقلی خروجی توازن برقرار شود، به عبارت دیگر باید تأخیر بین جمع کننده هر طبقه تا بیت نقلی خروجی مساوی بقیه باشد [۱۹]. طراحی CSA ده بیتی پرسرعت و کم‌توان در شکل ۴ آورده شده است. شبیه‌سازی این جمع کننده در Hspice و با استفاده از منطق CPL^۴ که سرعت عمل بالا و تأخیر کمی دارد انجام شده است [۱۸].

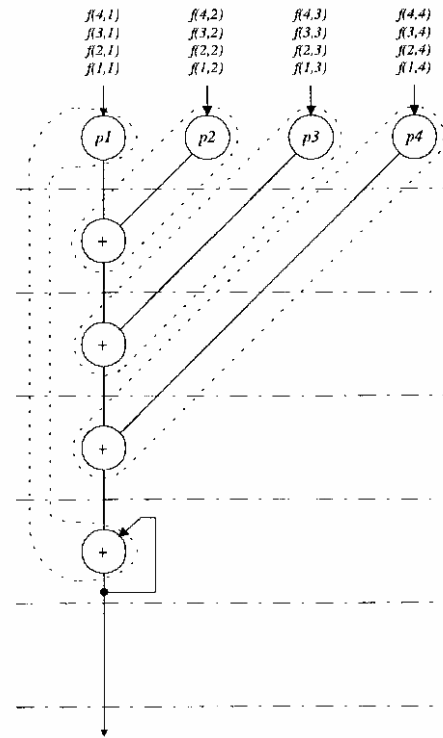
با توجه به آنچه گفته شد، برای پردازش اعداد ممیز شناور، واحدهای مقایسه کننده و انتقال دهنده لازم است. به نظر می‌رسد که استفاده از این واحدها موجب افزایش توان و سطح مصرفی ساختار می‌شود (نسبت به حالتی که از قالب اعداد دودویی استفاده شود). در صورتی که از قالب اعداد دودویی استفاده شود، به واحدهای جمع و ضرب کننده بزرگ و پیچیده‌ای نیاز است، به طوری که یک جمع کننده CSA بهینه 164 بیتی، شامل 19 طبقه جمع کننده است. در آخرین طبقه این CSA ، یک جمع کننده 20 بیتی لازم است. پیچیدگی CSA 164 بیتی برابر $62,32$ برابر CSA 10 بیتی است. در حالی که پیچیدگی سخت‌افزاری یک مقایسه کننده و یک شیفت دهنده 10 بیتی، $0,17$ برابر یک CSA بهینه 164 بیتی است. طراحی یک ضرب کننده دادا، 164 بیتی، نیز بسیار پیچیده‌تر از طراحی یک CSA 164 بیتی است.

برای محاسبه توان‌های x^p و y^q ، به ترتیب p و q پالس ساعت لازم است. در این صورت برای محاسبه گشتاورهای مرتبه بالاتر، زمان پردازش طولانی می‌شود. یک ساختار سریع‌تر برای انجام این عمل در شکل ۵ نشان داده شده است. با توجه به این شکل، ساختار پیشنهادی شامل سه مرحله خط لوله است. بنابراین، محاسبه توان یک عدد، سه سیکل ساعت طول می‌کشد. این زمان، مستقل از p است.

۴- ساختار ۲

با تغییر ساختار ۱ و انتقال جمع کننده‌های موجود در سلول‌ها به خارج از

2. Carry Select Adder
3. Dada Multiplier
4. Complementary Pass - Transistor Logic



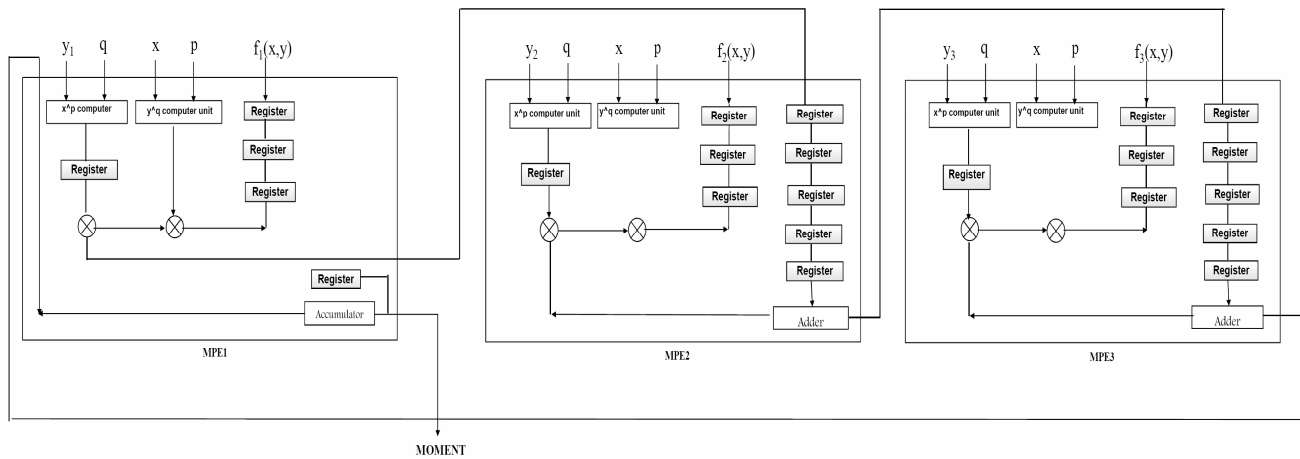
شکل ۱: ساختار آرایه تپنده برای نمایش الگوریتم محاسبه گشتاور تصویر با استفاده از ۴ پردازنده [۵].

۳- جمع کننده، ضرب کننده و به توان رساننده

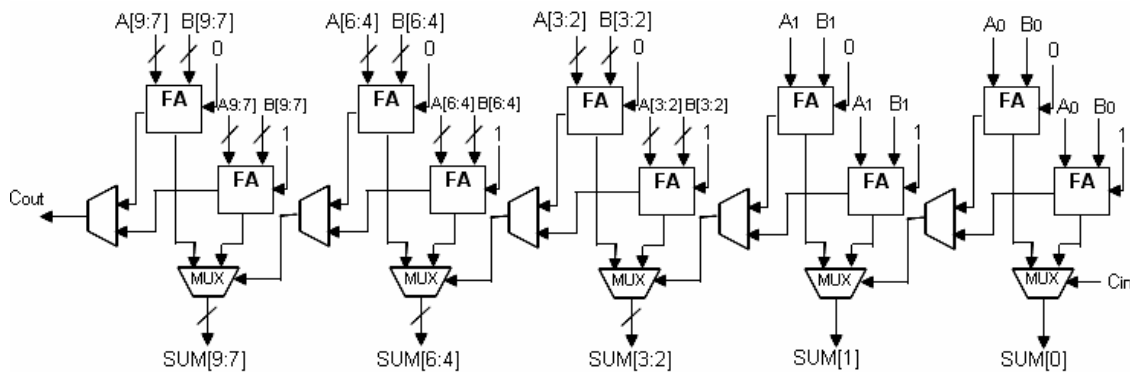
در طراحی ساختار محاسبه گشتاورها انتخاب قالب اعداد بسیار مهم است. قالب اعداد در حقیقت بیان کننده تعداد بیت‌های واحدهای محاسبه‌گر و خطوط انتقال است. برای نمایش بیشینه مقدار گشتاور مرتبه 14 در قالب دودویی به یک عدد 164 بیتی احتیاج است. بنابراین، در صورتی که برای محاسبه گشتاورهای تا مرتبه 14 از سیستم اعداد دودویی استفاده شود، واحدهای محاسبه‌گر 164 بیتی لازم است. این امر علاوه بر پیچیدگی گیت‌ها، موجب افزایش توان و سطح مصرفی می‌شود. برای حل این مشکل از قالب اعداد ممیز شناور استفاده می‌شود [۹] و [۱۰]. بیشینه مقدار M_{vv} ، بیشینه مرتبه گشتاور محاسبه شده در این پژوهش $5,8688 \times 10^{48}$ است [۱۸]. با در نظر گرفتن کمینه تعداد بیت‌ها برای مانیتیس و توان، تعداد بیت‌هایی که به هر یک از دو جزء توان و مانیتیس اختصاص داده می‌شود، به ترتیب عبارت است از 8 و 10 بیت. بیشینه عددی که با این تعداد بیت نشان داده می‌شود، به صورت $2^{(100000000)} \times 10^{48}$ معادل دهدهی آن برابر $1,16 \times 10^{48}$ به دست می‌آید که بیشتر از بیشینه مقدار M_{vv} است. بنابراین این تعداد بیت، بیشینه مرتبه گشتاور محاسبه شده در این پژوهش را می‌پوشاند. از آنجا که در محاسبه گشتاورها تنها با اعداد مثبت سر و کار داریم، از بیت علامت صرف نظر شده و به منظور افزایش دقت از حالت نرمالیزه اعداد ممیز شناور استفاده می‌شود. بیشینه خطای نسبی گرد کردن^۱ در محاسبه گشتاورهای تا مرتبه 14 با استفاده از قالب اعداد ممیز شناور نرمالیزه با 10 بیت مانیتیس و 8 بیت نما، $3,27\%$ است.

برای جمع دو عدد ممیز شناور 18 بیتی، ابتدا نمای دو عدد با هم مقایسه می‌شوند. سپس نمای بزرگ‌تر ذخیره شده و مانیتیس مربوط به عدد کوچک‌تر به اندازه اختلاف نماها به سمت راست انتقال داده می‌شود.

1. Round off Error



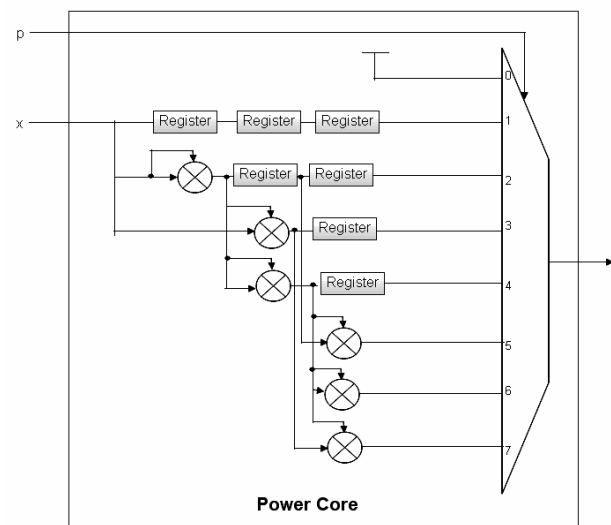
شکل ۳: ترکیب سلول‌های محاسبه گشتاور.



شکل ۴: CSA ده‌بیتی بهینه.

متراکم‌کننده، باید یکسان شود. برای این کار از یک واحد مقایسه‌کننده^۲ استفاده شده است. این واحد، نمای ۹ عدد را با هم مقایسه کرده و بعد از انتخاب بزرگ‌ترین نما، مانیتیس هر یک از اعداد را به اندازه اختلافی که نمای آنها با بزرگ‌ترین نما دارد به سمت راست انتقال^۳ می‌دهد. مانیتیس‌های جدید در ورودی متراکم‌کننده قرار می‌گیرند. نحوه کار واحد متراکم‌کننده در شکل ۷ نشان داده شده است. این واحد متشکل از ۹ واحد کوچک‌تر، دو FA^۴ و دو HA^۵ است. شکل ۸، شمای یک واحد متراکم‌کننده ۹ به ۲ را نشان می‌دهد. هر یک از این واحدها سه خروجی تک‌بیتی دارند که به صورت خطوط نقطه‌چین و پُر از هم تفکیک شده‌اند. یکی از خروجی‌ها به متراکم‌کننده ۹/۲ بعدی و دو خروجی دیگر به واحد مقایسه‌کننده می‌روند. متراکم‌کننده شکل ۷، ۲۵ خروجی تک‌بیتی دارد که دو به دو باید با هم جمع شوند. محاسبه مجموع آنها در واحد جمع‌کننده اعداد ممیز شناور ۱۸ بیتی انجام می‌شود. این واحد بزرگ‌ترین نما را که توسط واحد مقایسه‌کننده محاسبه شده و ۱۰ بیت بالارزش‌تر دو خروجی واحد متراکم‌کننده را دریافت کرده و پس از محاسبه حاصل جمع، آن را به ورودی آکومولاتور می‌دهد.

زمان نهفتگی ساختار ۲، ۱۵ سیکل ساعت و مستقل از تعداد سلول‌ها است. در حالی که زمان نهفتگی ساختار ۱، $(1 + \text{تعداد سلول‌ها}) \times ۵$ دوره تناوب پالس ساعت است. یعنی برای یک ساختار متشکل از ۹ سلول، زمان نهفتگی برابر با ۵۰ سیکل ساعت است.



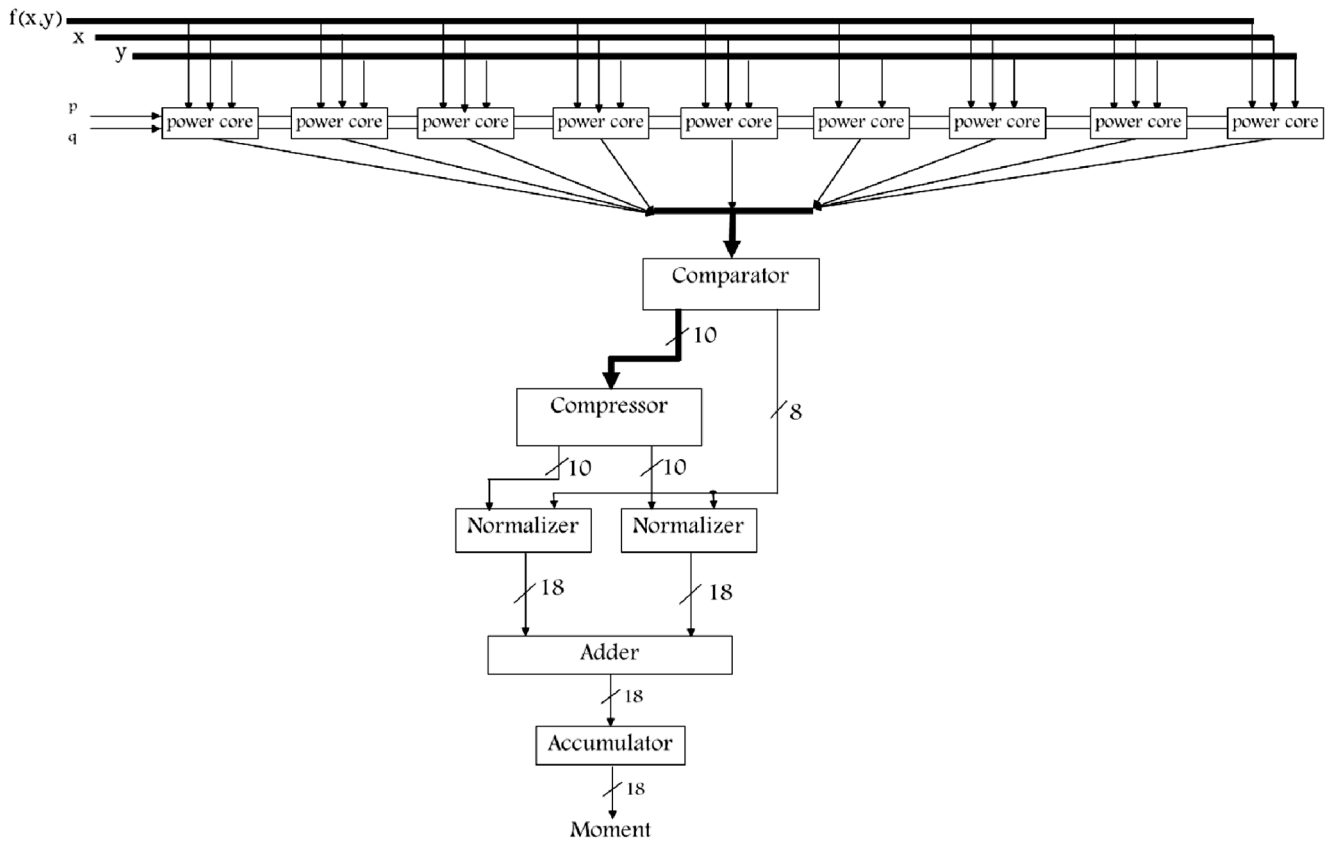
شکل ۵: واحد به‌توان رساننده با استفاده از خاصیت خط لوله.

آنها، ساختار دیگری پیشنهاد می‌شود که زمان نهفتگی آن ثابت و مستقل از تعداد سلول‌ها است. در ادامه ساختار پیشنهادی با استفاده از ۹ سلول شرح داده می‌شود.

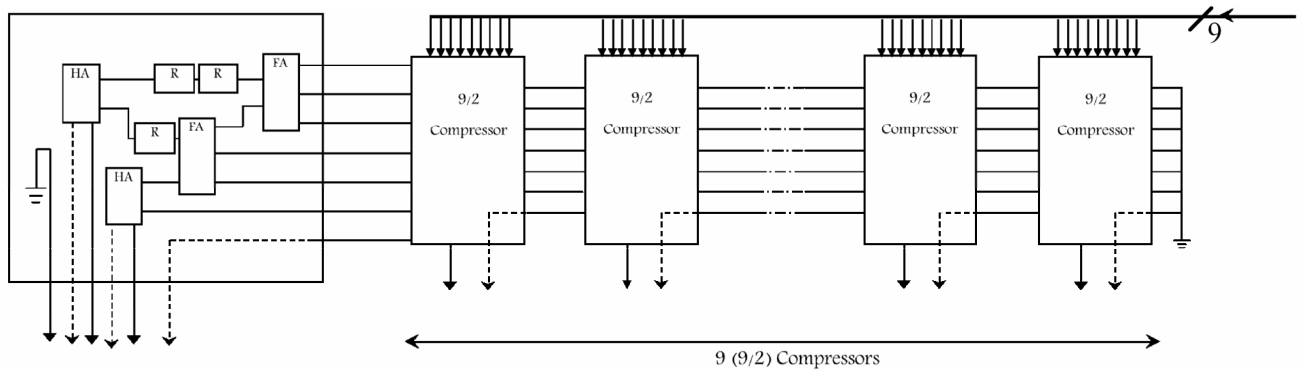
شکل ۶، شمای کلی این ساختار را نشان می‌دهد. هسته‌های توان^۱، وظیفه محاسبه عبارت $f(x, y) = x^p y^q$ را بر عهده دارند. این عملیات در ۵ سیکل ساعت انجام می‌شود. خروجی آنها، ۹ عدد ۱۸ بیتی است که باید با هم جمع شوند. برای افزایش سرعت محاسبه مجموع این ۹ عدد، از یک متراکم‌کننده استفاده شده است. نمای اعداد قبل از ورود به

2. Comparator
3. Shift
4. Full Adder
5. Half Adder

1. Power Cores



شکل ۶: ساختار شماره ۲ با استفاده از ۹ سلول موازی.

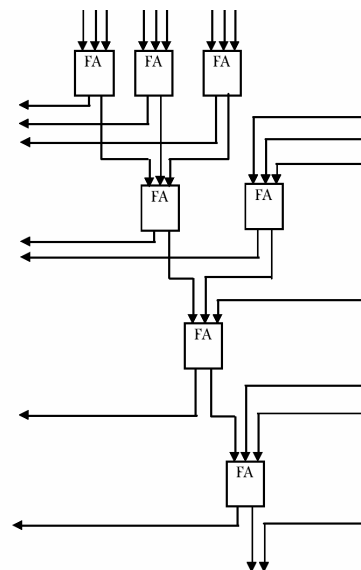


شکل ۷: شمای داخلی متراکم‌کننده ۲۰-۹۰.

۵- چیدمان ثبات‌های انتقال

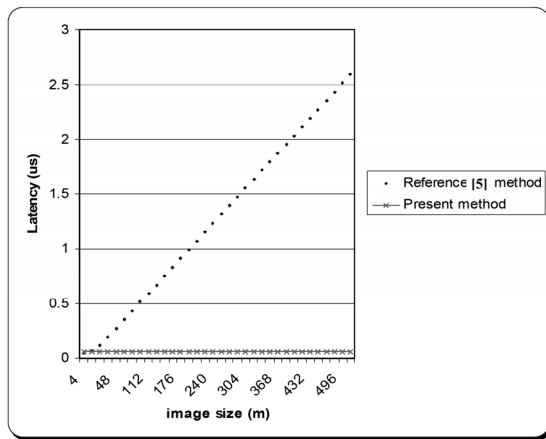
در [۹] از خاصیت موازی‌سازی برای پیاده‌سازی ساختار آرایه تپنده محاسبه گشتاورها استفاده شده است. در این مرجع واحدها به‌روش غیر هم‌زمان^۱ و با کمک سیگنال‌های کنترلی کار می‌کنند. بنابراین در صورتی که پیکسل‌های هر ستون از تصویر وارد یک سلول محاسبه‌گر شوند، واحد محاسبه^۲ تنها لازم است یک بار و در ابتدای ورود هر ستون جدید به سلول مقدار y^q مربوطه را محاسبه کند. این مقدار برای پیکسل‌های تمام ردیف‌های آن ستون یکسان است.

در روش موازی‌سازی باید اطلاعات به‌طور هم‌زمان وارد سلول‌ها بشوند. برای این کار اطلاعات تصویر باید قبل از شروع به کار ساختار، در تعداد زیادی ثبات انتقال^۲ ۱۸ بیتی ذخیره شوند. با استفاده از روش [۹]



شکل ۸: شمای داخلی متراکم‌کننده ۲-۹.

1. Asynchronous
2. Shift Register



شکل ۱۰: مقایسه زمان نهفتگی با استفاده از ثبات‌های انتقال ورودی [۵] و روش پیشنهاد شده (فرکانس ۱۰۰ MHz و تعداد ۵ سلول محاسبه گشتاور).

به این موضوع که عبارت مربوط به هر پیکسل از تصویر در یک سیکل ساعت محاسبه می‌شود و اطلاعات هر پیکسل از تصویر روی لبه بالارونده پالس ساعت وارد سیستم می‌شود، به دست می‌آید. در این صورت محاسبه عبارت مربوط به تعداد $(n_{MPE})^2$ پیکسل از تصویر، n_{MPE} پالس ساعت طول می‌کشد. در طول این مدت، اطلاعات مربوط به تعداد n_{MPE} پیکسل در ثبات‌های انتقال متناظر ذخیره شده است و عملیات بعدی می‌تواند به‌طور هم‌زمان روی آنها انجام شود. زمان نهفتگی کل ساختار، با توجه به ساختار [۹] و ساختار پیشنهادی این مقاله به ترتیب در (۲) و (۳) آمده است

$$\begin{aligned} \text{Latency} &= (n_{MPE} \times m \times T) + ((n_{MPE} + 1) \times 5 \times T) \\ &= T(n_{MPE} \times (\delta + m) + 5) \end{aligned} \quad (2)$$

$$\begin{aligned} \text{Latency} &= (n_{MPE}^2 \times T) + ((n_{MPE} + 1) \times 5 \times T) \\ &= T(n_{MPE} \times (\delta + n_{MPE}) + 5) \end{aligned} \quad (3)$$

که n_{MPE} تعداد سلول‌های محاسبه گشتاور، m تعداد ردیف‌های تصویر و T ، دوره تناوب پالس ساعت را نشان می‌دهد. با توجه به روابط فوق مشاهده می‌شود که زمان نهفتگی روش پیشنهادی نسبت به روش [۹] کاهش یافته است. این کاهش، با افزایش m ، چشم‌گیرتر می‌شود. شکل ۱۰ مقایسه زمان نهفتگی دو روش را نشان می‌دهد.

۶- نتایج شبیه‌سازی

شبیه‌سازی ساختارهای محاسبه گشتاورها در تکنولوژی ۰/۱۸ میکرون CMOS، ASIC انجام شده است. نتایج به دست آمده، برای یک تصویر 1024×1024 در جدول ۱ خلاصه شده است.

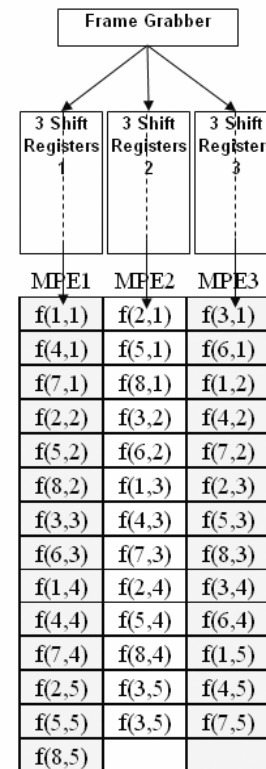
همان‌طور که در جدول ۱ مشاهده می‌شود، ساختارهای پیشنهاد شده نسبت به ساختارهای دیگر توان مصرفی کمتری داشته و سرعت آنها بالاتر است، به طوری که یک سلول ساختار ۱ قادر است گشتاور مرتبه $(p+q)$ از یک تصویر 1024×1024 را با سرعت ۱۲۵ فریم در ثانیه محاسبه کند. ساختار ۲ که در آن ۹ سلول موازی با هم کار می‌کنند، تصویر 1024×1024 را با سرعت ۱۰۷۲ فریم در ثانیه پردازش می‌کند.

پیاده‌سازی روش حاضر در تکنولوژی پایین‌تری نسبت به روش‌های دیگر انجام شده است، این موضوع و استفاده توأم از آرایه تپنده، فرآیند موازی‌سازی، خط لوله و به‌کارگیری واحدهای ضرب‌کننده و جمع‌کننده سریع در روش حاضر، موجب بهبودی کارایی آن نسبت به روش‌های

MPE1 MPE2 MPE3 MPE1 MPE2

f(1,1)	f(1,2)	f(1,3)	f(1,4)	f(1,5)
f(2,1)	f(2,2)	f(2,3)	f(2,4)	f(2,5)
f(3,1)	f(3,2)	f(3,3)	f(3,4)	f(3,5)
f(4,1)	f(4,2)	f(4,3)	f(4,4)	f(4,5)
f(5,1)	f(5,2)	f(5,3)	f(5,4)	f(5,5)
f(6,1)	f(6,2)	f(6,3)	f(6,4)	f(6,5)
f(7,1)	f(7,2)	f(7,3)	f(7,4)	f(7,5)
f(8,1)	f(8,2)	f(8,3)	f(8,4)	f(8,5)

(الف)



(ب)

شکل ۹: روند کار ساختار برای یک تصویر نمونه 8×5 با استفاده از سه سلول محاسبه گر، (الف) ساختار [۵] و (ب) ساختار پیشنهادی.

قبل از هر سلول به اندازه واحدها ردیف‌های تصویر، ثبات انتقال لازم است. در این صورت، با افزایش ابعاد تصویر و تعداد سلول‌های محاسبه گر، تعداد ثبات‌های انتقال مورد نیاز به‌طور خطی افزایش می‌یابد. با افزایش تعداد ثبات‌ها، زمان نهفتگی و توان مصرفی بالا می‌رود. منظور از زمان نهفتگی، مدت زمانی است که طول می‌کشد تا اطلاعات همه پیکسل‌های یک ستون در ثبات‌های انتقال متناظر ذخیره شود. در شکل ۹ -الف، نحوه کار سه سلول محاسبه گر را برای محاسبه گشتاور یک تصویر نمونه 8×5 مشاهده می‌کنید.

در حالت سنکرون که مورد نظر این مقاله است همه واحدهای تشکیل‌دهنده ساختار روی لبه بالارونده پالس ساعت مقدار خروجی را محاسبه می‌کند. بنابراین برای کاهش تعداد ثبات‌های انتقال و کاهش زمان نهفتگی، روش دیگری پیشنهاد می‌شود که در شکل ۹-ب و برای همان تصویر مثال شکل ۹-الف نشان داده شده است. در این حالت، تعداد ثبات‌های انتقال مورد نیاز مستقل از ابعاد تصویر بوده و عبارت است از $(n_{MPE})^2$ ، که n_{MPE} تعداد MPE ها را نشان می‌دهد. این مقدار با توجه

جدول ۱: مقایسه نتایج دو ساختار پیشنهادی با کارهای مشابه.

ساختار پیشنهادی دوم	ساختار پیشنهادی اول (با استفاده از ۵ سلول)	ساختار [۱۱]	ساختار [۷]	ساختار [۵]	تکنولوژی
ASIC، ۰٫۱۸ میکرون	ASIC، ۰٫۱۸ میکرون	ASIC، ۲٫۵ میکرون	ASIC، ۰٫۷ میکرون	XC۴۰۲۰E FPGA Xilinx	دقت نمایش (تعداد بیت)
اعداد ممیز شناور ۱۸ بیتی	اعداد ممیز شناور ۱۸ بیتی	اعداد ممیز شناور ۱۸ بیتی	اعداد صحیح ۶۴ بیتی	اعداد ممیز شناور ۱۷ بیتی	بیشینه مرتبه گشتاور قابل محاسبه
۱۴	۱۴	۱۴	۶	۱۰	۷۰۰۰۰ گیت (بدون در پیچیدگی سخت‌افزاری)
گیت ۱۳۳۳۴۸۹	گیت ۷۳۸۴۴۲	۴۳۸۹۴ ترانزیستور	۳۵۰۰۰ ترانزیستور	نظر گرفتن گیت‌های مولد سیگنال‌های کنترلی)	سرعت (bit/s)
۹ G	۵٫۳۲ G	۸۰ M	۱۸۶٫۸۸ M	۳۳۲٫۸۸ M	سرعت (frame/s)
۱۰۷۲	۶۰۰	۹٫۵۴	۲۲٫۲۷	۲۵	زمان مسیر بحرانی (ns)
۷۹۷	۷	-	۴۲٫۸۰	-	توان مصرفی (mW)
۵۸٫۳۴	۱۴٫۳۶	-	۵۳۴٫۴۰	-	سطح مصرف‌شده (mm ^۲)
۴٫۳۲	۱٫۱۱	۳۷٫۲	۳٫۲۶	-	زمان محاسبه گشتاور مرتبه ۱۰ برای یک تصویر با ابعاد ۱۰۲۴×۱۰۲۴ (ms)
۰٫۹۵	۱٫۶	-	۲۱۸	۲۵٫۲	

یک تصویر 1024×1024 را با سرعت ۳۰ fps محاسبه کند. فرکانس کار ساختار ۱، ۱۳۳ MHz است. ساختار ۲ با استفاده از ۹ سلول موازی و با کمک یک مترانم‌کننده برای تسریع محاسبه جمع می‌تواند ۳۵ گشتاور اول یک تصویر 1024×1024 را با سرعت ۳۰ fps محاسبه کند. فرکانس کار ساختار دوم ۱۲۵ MHz است.

مراجع

- [1] S. X. Liao, *Image Analysis by Moments*, Ph.D Thesis, the Department of Electrical and Engineering, the University of Manitoba Winnipeg, Manitoba, Canada, 1993.
- [2] K. Cheng, "Efficient parallel algorithm for computing two-dimensional image moments," *Pattern Recognition*, vol. 23, no. 1-2, pp. 109-119, Jan. 1991.
- [3] C. Coelho, N. Roma, and L. Sousa, "Pipeline architectures for computing 2-D image moments," in *Proc. of DCIS'99*, pp. 169-174, Palma de Mallorca, Spain, Nov. 1999.
- [4] H. T. Kung, "Why systolic architectures?" *IEEE Computer Mag.*, vol. 15, no. 1, pp. 37-46, Jan. 1982.
- [5] M. H. Singer, "A general approach to moment calculation for polygon and line segments," *Pattern Recognition*, vol. 26, no. 7, pp. 1019-1028, Jul. 1993.
- [6] H. D. Cheng, C. Y. Wu, and D. L. Hung, "VLSI for moment computation and its application to breast cancer detection," *Pattern Recognition*, vol. 31, no. 9, pp. 1391-1406, Sep. 1988.
- [7] M. Alrawi, Y. Jie, and Z. Feng - Chao, "A PC - based real - time computation of moment invariants," *Institute of Image Processing and Pattern Recognition, J. of Software*, vol. 13, no. 9, pp. 1765-1772, 2002.
- [8] C. W. Fu, J. C. Yen, and S. Chang, "Calculation of moment invariants via Hadamard transform," *Pattern Recogn.*, vol. 26, no. 7, pp. 287-294, Jul. 1993.
- [9] D. L. Hung, H. D. Cheng, and S. Sengkhomyong, "Design of a configurable accelerator for moment computation," *IEEE Trans on Image Processing*, vol. 9, no. 11, pp. 741-746, Nov. 2000.
- [10] N. Roma and L. Sousa, "In the development and evaluation of specialized processors for computing high - order image moments in real - time," *Fifth IEEE International Workshop on Computer Architectures for Machine Perception (CAMP'00)*, pp. 170-179, Sep. 2000.
- [11] M. Hatamian, "A real time two_dimensional moment generating algorithm and it's single chip implementation," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. 34, no. 3, pp. 546-553, Jan. 1986.

دیگر شده است. با توجه به اینکه ساختار ۱ و ۲ متشکل از بلوک‌های ترکیبی هستند، کاهش تأخیر یا به‌عبارت دیگر افزایش فرکانس کار هر یک از بلوک‌ها، منجر به افزایش سرعت کار کل ساختارها می‌شود. همان‌طور که مشاهده شد، با استفاده از "ضرب‌کننده دادا"، جمع‌کننده CSA و واحد به‌توان‌رساننده طراحی‌شده، سرعت کار هر یک از این بلوک‌ها نسبت به حالت معمولی افزایش یافته است.

ساختار [۹] به صورت آسنکرون و با کمک سیگنال‌های کنترلی کار می‌کند. برای تولید این سیگنال‌ها مدارات اضافی لازم است. این مدارات باعث افزایش سطح و توان مصرفی می‌شود. ساختارهای حاضر به‌صورت سنکرون کار می‌کنند، بنابراین مدارات کنترلی را ندارند، علاوه بر این ساختارهای حاضر در تکنولوژی ASIC پیاده‌سازی شده‌اند. این عوامل باعث شده که نسبت به ساختار [۹] توان و سطح مصرفی کمتری داشته باشند. واحد کنترل ساختارهای این پژوهش به‌صورتی طراحی شده که زمان نهم‌تگی ناشی از ثبات‌های انتقال را نسبت به [۹] به‌نحو چشم‌گیری کاهش می‌دهد. همچنین طراحی هر یک از بلوک‌ها به‌صورتی انجام شده که تأخیر کمی داشته باشند. به‌همین دلیل فرکانس کاری آن بالاتر است. ساختار [۱۰] از خاصیت خط لوله استفاده کرده است. اما ساختارهای حاضر با به‌کارگیری خاصیت موازی‌سازی و خط لوله به‌صورت توأم و استفاده از واحدهای پردازنده سریع‌تر، فرکانس کاری را نسبت به [۱۰] به‌نحو چشم‌گیری افزایش داده است.

۷- نتیجه‌گیری

در این مقاله، دو ساختار با استفاده از آرایه تپنده و خاصیت‌های موازی‌سازی و خط لوله‌ای برای محاسبه گشتاورهای دوبعدی مرتبه بالا در تصاویر خاکستری ارائه شده است. یک سلول ساختار ۱ قادر است گشتاور مرتبه $(p+q)$ از یک تصویر 1024×1024 را با سرعت ۱۲۵ fps محاسبه کند. با توجه به نتایج به‌دست آمده توان مصرفی بالا نیست، بنابراین برای دستیابی به سرعت‌های بالاتر می‌توان تعداد سلول‌های محاسبه‌گر را افزایش داد. با اتصال ۲۹ سلول به یکدیگر و استفاده از عملکرد موازی، ساختار فوق می‌تواند ۱۲۰ گشتاور ($M_{..}$ تا M_{vv}) اول

مهرناز مناجاتی تحصیلات خود را در مقطع کارشناسی مهندسی برق الکترونیک در سال ۱۳۸۲ در دانشگاه شهید باهنر کرمان و در مقطع کارشناسی ارشد مهندسی برق الکترونیک در سال ۱۳۸۵ در دانشگاه تربیت مدرس به پایان رسانده است. او هم‌اکنون به‌عنوان مدرس در دانشگاه شهید باهنر و دانشگاه آزاد اسلامی کرمان مشغول به تدریس است. زمینه پژوهشی مورد علاقه ایشان طراحی مدارهای مجتمع دیجیتال و آنالوگ است.

احسان‌اله کبیر کارشناسی ارشد پیوسته خود را در مهندسی برق و الکترونیک از دانشکده فنی دانشگاه تهران و دکترای خود را در مهندسی سیستم‌های الکترونیک از دانشگاه اسکس در انگلستان، به‌ترتیب در سال‌های ۱۳۶۴ و ۱۳۶۹ دریافت کرد. او اکنون استاد بخش مهندسی برق دانشگاه تربیت مدرس است. زمینه پژوهشی مورد علاقه او بازشناسی الگو، به‌ویژه بازشناسی متون چاپی و دست‌نویس است.

عبدالرضا نبوی تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد مهندسی الکترونیک به‌ترتیب در سال‌های ۱۳۶۵ و ۱۳۶۷ از دانشگاه تهران و در مقطع دکتری مهندسی الکترونیک در سال ۱۳۷۲ از دانشگاه مک‌گیل کانادا به پایان رسانده است و هم‌اکنون دانشیار دانشکده مهندسی برق و کامپیوتر دانشگاه تربیت مدرس می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارهای مجتمع آنالوگ، دیجیتال و RF.

- [12] S. Paschalakis, A. Zakerolhosseini, and P. Lee, "Feature extraction algorithms using FPGA technology," *IEEE Colloquium on Digital Object Identifier*, vol. 12, no. 15, pp. 1-6, Feb. 1998.
- [13] T. H. Hildbrant and L. J. Schoenberg, "On linear functional operations and the moment problem for a finite interval in one or several dimensions," *Annals of Mathematics*, vol. 34, no. 2, pp. 317-328, 1933.
- [14] D. L. Hung, H. D. Cheng, and S. Sengkhomyong, "Design of a configurable accelerator for moment computation," *IEEE Trans on Image Processing*, vol. 9, no. 11, pp. 741-746, Nov. 2000.
- [15] R. J. Prokop and A. P. Reeves, "A survey of moment-based techniques for un-occluded object representation and recognition, graphical models and image processing," *Graphical Models and Image Processing Archive*, vol. 54, no. 5, pp. 438-460, 1992.
- [16] L. Kotoulas and I. Andreadis, "Efficient hardware architectures for computation of image moments," *Real Time Imaging*, vol. 10, no. 6, pp. 371-378, Dec 2004.
- [17] K. Lam, "A component - based design for parallel moment generators," *SPIE, Parallel and Distributed Methods for Image Processing III*, vol. 3817, pp. 137-145, Jul. 1999.
- [۱۸] م. مناجاتی، طراحی تراشه ASIC برای محاسبه گشتاورهای تصویر، پایان‌نامه کارشناسی ارشد، بخش مهندسی برق، دانشگاه تربیت مدرس، پاییز ۱۳۸۵.
- [19] B. Amelifard, F. Fallah, and M. Pedram, "Closing the gap between carry select adder and ripple carry adder: a new class of low - power high - performance adders," in *Proc. of Int. Symp. on Qualify Electronic Design, ISQED05*, pp. 95-98, Mar. 2005.