

# طراحی یک مدولاتور تک حلقه سیگما-دلتای مرتبه ۵ با پهنای باند نایکوئیست ۱۲ مگاهرتز و دقت ۱۵ بیت

مهدی تقی‌زاده و عبدالرضا نبوی

بالا خواهد بود. بنابراین جهت مقایسه طراحی انجام‌شده با سایر کارها استفاده از یک معیار مناسب اهمیت فراوانی خواهد داشت. در همین راستا در [۳] ساختاری با دقت بالای ۱۴ بیت و پهنای باند ۲٫۵ مگاهرتز ارائه شده است که با به‌کارگیری فیلترهای با پاسخ ضربه نامحدود (IIR) در ساختار، سعی در افزایش بهره تابع تبدیل نویز (NTF)، شکل‌دهی بیشتر نویز کوانتیزاسیون و در نهایت دقت مدولاتور نموده است. ساختار ارائه‌شده در [۴] ساختار مرتبه بالا با NTF جدیدی است که از تکنیک نمونه‌برداری دوتایی جهت افزایش نرخ نمونه‌برداری استفاده می‌کند.

اما برای طراحی یک مدولاتور باند وسیع و دقت بالا که بتواند در ولتاژ تغذیه پایین نیز کار کند، یک مدولاتور با پهنای باند نایکوئیست ۱۲٫۵ مگاهرتز و دقت ۱۵ بیت که در تکنولوژی ۰٫۱۳ میکرومتر CMOS پیاده‌سازی شود مد نظر قرار گرفت. ساختارهای مختلفی که بتواند عملکرد فوق را محقق سازد و همچنین دارای توان مصرفی کمتری باشد، بررسی و در نهایت یک مدولاتور تک‌حلقه مرتبه ۵ با نرخ بیش‌نمونه‌برداری ۸ و ولتاژ تغذیه ۱٫۲ V پیاده‌سازی شد. مدولاتور فوق، محدوده پویایی ۹۲٫۱ dB با دامنه ورودی ۳ dBFS- و پهنای باند ورودی ۶ MHz را در شبیه‌سازی نشان می‌دهد.

در بخش دوم ساختار مدولاتور سیگما-دلتا و شبیه‌سازی‌های سیستمی لازم توضیح داده می‌شود. بخش سوم پیاده‌سازی مدولاتور در سطح ترانزیستور را بیان می‌کند. نتایج شبیه‌سازی و عملکرد خروجی حاصل‌شده در بخش چهارم ارائه و در بخش آخر نتیجه‌گیری بیان می‌شود.

## ۲- طراحی در سطح سیستمی مدولاتور

در این بخش روش طراحی مدولاتور در سطح سیستمی ارائه و نحوه به‌دست آوردن ضرایب آن بیان می‌شود. این کار با مدل کردن مدولاتور در محیط سیمولینک نرم‌افزار MATLAB حاصل شده است.

محدوده پویایی (DR) معمولاً یک شاخص مناسب برای اندازه‌گیری عملکرد مدولاتور است جایی که DR بزرگ‌تر عملکرد بهتری نشان می‌دهد. مقدار DR به‌وسیله مرتبه حلقه (L)، نرخ بیش‌نمونه‌برداری (OSR) و دقت کوانتایزر ( $B_q$ ) مشخص می‌شود. هر سه این پارامترها می‌تواند به تنهایی یا توأم با هم تغییر کرده و طراحی‌های متفاوتی حاصل کند. به‌خاطر چالش‌های موجود در پیاده‌سازی طبقات اصلی مدولاتور همانند تقویت‌کننده عملیاتی مورد نیاز در انتگرال‌گیر، افزایش OSR در نرخ‌های نمونه‌برداری بالا مقذور نبوده، حتی برای مدولاتورهای باند وسیع منجر به کاهش OSR هستیم که در نتیجه کارایی مدولاتور کاهش می‌یابد. از طرف دیگر دقت بالای مورد نیاز یک مبدل در سیستم‌های ارتباطی نسل جدید، باعث می‌شود که مرتبه مدولاتور انتخابی بالا رود و یا از کوانتایزرهای چندبیتی استفاده شود.

بنابراین دو پارامتر  $B_q$  و L جهت جبران عملکرد مدولاتور باید

چکیده: در این مقاله یک مدولاتور سیگما-دلتای تک‌حلقه مرتبه ۵ با ساختار اعوجاج پایین ارائه می‌شود. ساختار فوق که هم‌زمان از انتگرال‌گیر و فیلتر IIR مرتبه ۲ استفاده می‌نماید نسبت به ساختارهای مشابه تعداد مسیرهای پیش‌خور کمتری دارد که در نتیجه تعداد ضرایب مدولاتور کاهش یافته و حساسیت آن نسبت به عدم تطابق ضرایب کمتر می‌شود. برای کاهش توان مدولاتور، فیلتر IIR مرتبه ۲ با استفاده از یک تقویت‌کننده عملیاتی پیاده‌سازی و از یک جمع‌کننده سوئیچ-خازنی برای تحقق جمع‌کننده ورودی قبل از کوانتایزر استفاده شده است. نتایج شبیه‌سازی نشان می‌دهد که این ساختار با ولتاژ تغذیه ۱٫۲ ولت در تکنولوژی ۰٫۱۳ میکرومتر CMOS، می‌تواند دقت ۱۵ بیت و پهنای باند سیگنال ورودی ۶ مگاهرتز به‌دست آورد. توان مصرفی مدولاتور فوق برابر ۵۳ میلی‌وات است. با مقایسه عملکرد ساختار ارائه‌شده با ساختارهای مشابه، مشخص می‌شود که طراحی فوق از پهنای باند و دقت بالاتری در ازای اندک افزایش توان مصرفی برخوردار است.

کلید واژه: اعوجاج پایین، تابع تبدیل نویز، فیلتر IIR، مدولاتور سیگما-دلتا.

## ۱- مقدمه

امروزه سیستم‌های ارتباطی نسل جدید برای طراحی مبدل‌های آنالوگ به دیجیتال مورد نیاز خود با دو چالش اساسی روبه‌رو هستند. یکی افزایش محدوده فرکانسی سیگنال ورودی برای آن که در کاربردهایی با پهنای باند چند مگاهرتز وارد شوند و دیگری دقت و قدرت تفکیک‌پذیری بالایی مبدل، جایی که روزه‌روز اندازه ترانزیستورها و به دنبال آن ولتاژ تغذیه مدار در حال کوچک‌شدن هستند [۱].

همانند هر سیستم مبتنی بر نمونه‌برداری و فیدبک، مدولاتورهای سیگما-دلتا نیز چرخه طراحی طولانی دارند. به‌همین منظور جهت کاهش زمان طراحی، بر روی روش‌های شبیه‌سازی در سطح سیستمی تمرکز کردیم. این نوع آنالیز یک روش کارآمد برای پیاده‌سازی مدولاتور سیگما-دلتا نشان داده است [۱] و [۲].

اگرچه تا به امروز مدولاتورهای سیگما-دلتای بسیاری برای کاربردهای باند وسیع طراحی شده‌اند [۲] تا [۴]، اما همه آنها از لحاظ کارایی، نرخ خروجی، توان مصرفی، تکنولوژی، انتخاب ساختار و فرکانس نمونه‌برداری فرق دارند. با این رنج وسیع ملاک‌های طراحی، برای آن که بهترین مدولاتور از لحاظ عملکرد نهایی مشخص شود، بسیار مشکل می‌باشد. به‌عنوان نمونه اگر مدولاتور دقت بالایی داشته باشد توان مصرفی آن نیز

این مقاله در تاریخ ۱۷ خرداد ماه ۱۳۸۷ دریافت و در تاریخ ۲ اردیبهشت ماه ۱۳۸۸ بازنگری شد. این تحقیق توسط مرکز تحقیقات مخابرات ایران بر اساس قرارداد شماره ۵۰۰/۱۵۰۱۶ پشتیبانی شده است.

مهدی تقی‌زاده، دانشکده برق و کامپیوتر، دانشگاه تربیت مدرس ایران،  
(email: mehdi.taghizade@gmail.com)

عبدالرضا نبوی، دانشکده برق و کامپیوتر، دانشگاه تربیت مدرس ایران،  
(email: abdoln@modares.ac.ir)

یک محدوده پویایی ثابت، نسبت به ساختارهای متداول، سطح نویز کل ارجاع شده به ورودی مدولاتور بیشتر باشد. در نتیجه می توان به کاهش توان مصرفی امیدوار بود.

اما یک مدولاتور تک حلقه سیگما-دلتا با بیش از دو انتگرال گیر در ورودی های بزرگ ممکن است ناپایدار شود، بنابراین از کوانتایزر چندبیتی در ساختارهای مرتبه بالا استفاده می گردد. این کار باعث می شود تا انتگرال گیر راحت تر نشست کند. در نتیجه نرخ چرخش محدود نشده، زمان مورد نیاز نشست زیاد می شود و از سوی دیگر توان مصرفی نیز کاهش می یابد. در نهایت این که تون های طیفی در خروجی کمتر ظاهر می شود که به خاطر افزایش سطوح کوانتیزاسیون است. اما عیب عمده کوانتایزر چندبیتی نیاز به مبدل دیجیتال به آنالوگ (DAC) چندبیتی با خاصیت خطی بالا در مسیر فیدبک است. برای خطی سازی DAC معمولاً از الگوریتم های متداول خطی سازی مانند متوسط گیری وزن دار داده (DWA) استفاده می شود که خود توان مصرفی بیشتری به دنبال دارد [۳].

در این مقاله یک مدولاتور سیگما-دلتا تک حلقه مرتبه پنج با ساختار اعوجاج پایین، طراحی و شبیه سازی شده است. شکل ۲ ساختار مبدل را نشان می دهد که در آن به جای آن که تمام طبقات انتگرال گیر باشند از یک بلوک فیلتر IIR مرتبه ۲ به جای دو انتگرال گیر در ساختارهای متداول با تابع تبدیل (۴) استفاده شده است

$$H_{IIR} = \frac{b_1 z^{-1} + b_2 z^{-2}}{1 - c_1 z^{-1} - c_2 z^{-2}} \quad (4)$$

## ۲-۲ تابع تبدیل نویز با ساختار IIR

تابع تبدیل نویز دارای ساختار IIR با آرایش قطب و صفر چپی شف معکوس می باشد [۱]. رابطه (۵) تابع NTF شکل ۲ را در حالت کلی نمایش می دهد

$$NTF(z) = \frac{(z-1)(z^2 - c_1 z - c_2)((z-1)^2 + f_1 f_2 g)}{z^5 + \beta_4 z^4 + \beta_3 z^3 + \beta_2 z^2 + \beta_1 z + \beta_0} \quad (5)$$

$$\beta_4 = f_1 f_2 a_1 d + f_1 a_1 d + f_1 f_2 g - c_1 - 3 \quad (1-6)$$

$$\beta_3 = f_1 f_2 f_2 d + (-1 - c_1)(f_1 f_2 a_1 d + f_1 f_2 g) + f_1 a_1 d(-2 - c_1) + 3c_1 - c_2 + 3 \quad (2-6)$$

$$\beta_2 = -1 - c_1 f_1 f_2 f_2 d + (c_1 - c_2)(f_1 f_2 a_1 d + f_1 f_2 g) + f_1 a_1 d(2c_1 - c_2) + f_1 f_2 f_2 d b_1 + 3c_1 - 3c_2 \quad (3-6)$$

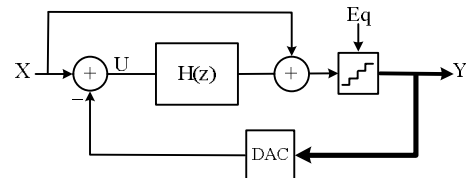
$$\beta_1 = c_1(1 - f_1 a_1 d) + f_1 f_2 f_2 d b_1 + c_2(2f_1 a_1 d - f_1 f_2 f_2 d + f_1 f_2 a_1 + f_1 f_2 g - 3) \quad (4-6)$$

$$\beta_0 = -c_2(-1 + f_1 a_1 d) \quad (5-6)$$

به کارگیری این نوع ساختار برای NTF باعث می شود تا بتوان ماکزیمم بهره خارج از باند تابع تبدیل نویز را افزایش داد در حالی که پایداری مدولاتور حفظ شود. از طرف دیگر رابطه بین صفرهای داخل باند و تابع تبدیل نویز ساده تر شود. همچنین پخش شدگی ضرایب مدولاتور نسبت به مدولاتورهای معمولی کمتر می گردد.

با استفاده از [۱] تابع NTF برای یک مدولاتور مرتبه ۵ با OSR ۸ و ۱۶، به ترتیب به صورت های زیر به دست می آید

$$NTF|_{OSR=8}(z) = \frac{(z-1)(z^2 - 1.875z + 1)(z^2 - 1.955z + 1)}{z^5 - 1.2z^4 + 1.119z^3 - 0.495z^2 + 0.276z - 0.231} \quad (1-7)$$



شکل ۱: ساختار مدولاتور سیگما-دلتای اعوجاج پایین [۶].

افزایش بیشتری داشته باشند. به طور نسبی مقدار بیشینه سیگنال به نویز و اعوجاج (SNDR) که معمولاً مساوی DR مدولاتور فرض می شود، برابر است با [۲]

$$SNDR|_{\max}(z) = \left(\frac{3\pi}{2}\right)^2 (2^{B_q} - 1)^2 (2L - 1) \left(\frac{OSR}{\pi}\right)^{(2L+1)} \quad (1)$$

با توجه به مشخصه های طراحی برای آن که دقت مدولاتور مورد نظر بزرگتر از ۱۵ بیت شود، SNDR بیشینه بالاتر از ۱۰۰ dB انتخاب و از طرفی به خاطر ماهیت باند وسیع بودن عملکرد مدولاتور، مقدار OSR تا حد ممکن پایین در نظر گرفته شد. به این منظور، برای طراحی تابع تبدیل فیلتر حلقه، OSRهای ۸ و ۱۶ را در نظر گرفتیم.

## ۲-۱ ساختار مدولاتور

ساختارهای تک حلقه مرتبه بالا و ساختارهای کسکید دو گزینه پیش روی طراح در انتخاب ساختار می باشد. یک ساختار کسکید مرتبه بالا اگرچه پایداری غیر مشروط دارد و می تواند دقت بالاتری نسبت به یک ساختار تک حلقه هم مرتبه و با OSR یکسان، داشته باشد اما به علت مشکلات زیاد در پیاده سازی آن همانند تقویت کننده عملیاتی با بهره DC بالا، عدم تطابق بالا بین توابع تبدیل طبقات آنالوگ و دیجیتال، مساحت و توان مصرفی بیشتر ما را به سمت استفاده از یک ساختار تک حلقه ای مرتبه بالا جهت پیاده سازی یک مدولاتور سرعت و دقت بالا سوق می دهد [۲] تا [۴] و [۵].

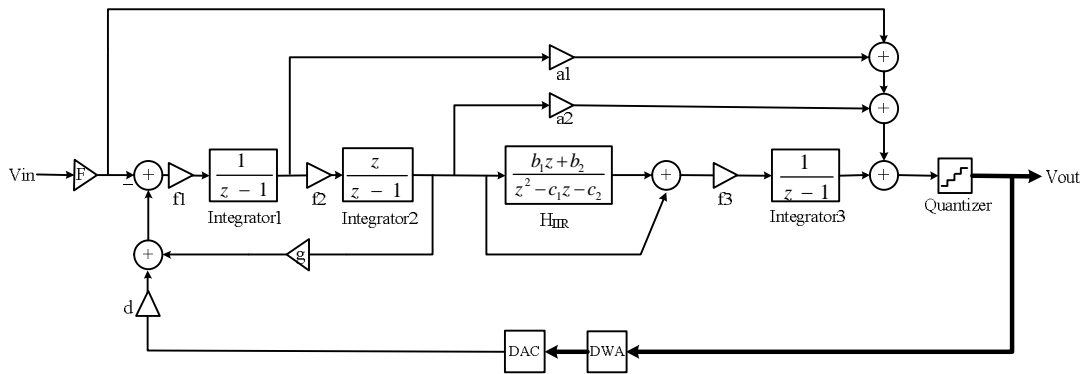
در مدولاتورهای سیگما-دلتا با ساختار متداول به علت این که سیگنال ورودی وارد حلقه مدولاتور می شود، انتگرال گیر استفاده شده در مدولاتورها برای ورودی های بزرگ دارای سوئینگ خروجی بزرگی می باشند [۵]. بنابراین تقویت کننده عملیاتی استفاده شده در انتگرال گیر سوئینگ بزرگی نیاز دارد و برای غلبه بر اثرات غیر خطی باید بهره DC و سرعت چرخش آن بزرگ باشد. تحقق بهره بزرگ در یک تقویت کننده عملیاتی با ولتاژهای تغذیه پایین به راحتی ممکن نیست و در هر صورت موجب افزایش توان مصرفی مدولاتور می شود.

برای غلبه بر این مشکل در [۶] ساختار سیگما-دلتایی ارائه شده که از مسیرهای پیش خور ورودی جهت کاهش سوئینگ انتگرال گیر استفاده می کند. این ساختار که اعوجاج پایین نامیده می شود در شکل ۱ نشان داده شده است که در آن فقط یک مبدل DAC در مسیر فیدبک اصلی مورد استفاده قرار می گیرد.

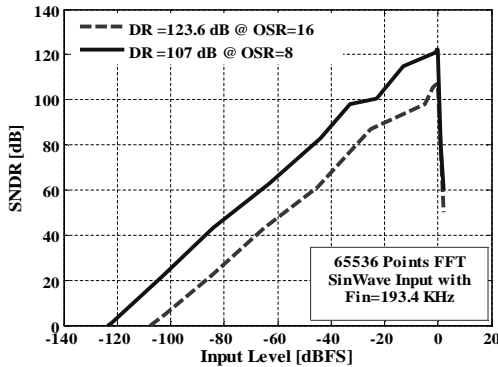
$$Y(z) = X(z) + NTF(z).Eq(z) \quad (2)$$

$$U(z) = -NTF(z).Eq(z) \quad (3)$$

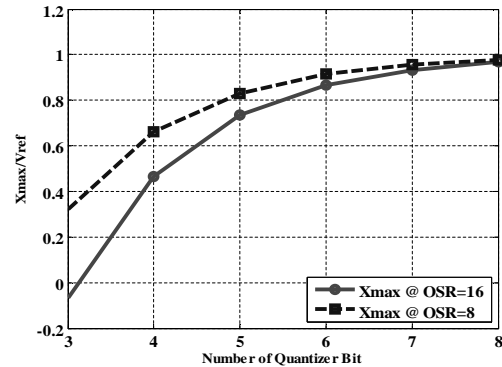
در این ساختار با توجه به (۲) و (۳)، چون سیگنال X وارد حلقه مدولاتور نمی شود، تابع تبدیل سیگنال (STF) برابر واحد گشته، انتگرال گیر فقط نویز کوانتیزاسیون را پردازش کرده و از به وجود آمدن چرخش شدید در تقویت کننده جلوگیری می کند. از طرفی به خاطر کاهش سوئینگ خروجی انتگرال گیر، تقویت کننده بهره DC پایین تری لازم دارد. همچنین می توان سیگنال بزرگتری به ورودی اعمال کرد که این کار اجازه می دهد برای



شکل ۲: ساختار کلی مدولاتور سیگما-دلتای مرتبه ۵ ارائه شده.



شکل ۵: محدوده پویایی مدولاتور برای OSR ۸ و ۱۶ در حالت ایده آل.



شکل ۳: بیشینه سیگنال ورودی مدولاتور بر حسب تغییر بیت‌های کوانتایزر به ازای OSR = ۱۶ و OSR = ۸.

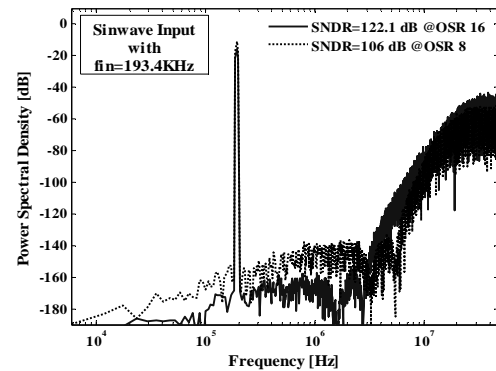
که در این روابط ولتاژ مرجع کوانتایزر می‌باشد. در شکل ۳ نمودار بیشینه سیگنال ورودی مدولاتور بر حسب تغییر بیت‌های کوانتایزر به ازای OSR ۸ و ۱۶ رسم شده است. این شکل نشان می‌دهد با انتخاب دقت کوانتایزر برابر ۵، مدولاتور به ترتیب به ازای OSR ۸ و ۱۶ تا دامنه سیگنال ورودی نزدیک به ۰/۸ و ۰/۶۵ ولتاژ مرجع، پایدار می‌باشد.

### ۲-۳ شبیه‌سازی مدولاتور و اثرات غیر ایده‌آلی

طیف خروجی مدولاتور ارائه شده به ازای OSR ۸ و ۱۶ در شکل ۴ ترسیم شده است. مقدار SNDR ایده آل در این دو حالت به ترتیب برابر ۱۰۶ و ۱۲۲/۱ دسی‌بل می‌گردد. با توجه به این که مقدار دقت مدولاتور مورد نظر در نهایت باید بالاتر از ۹۰ دسی‌بل باشد و از طرفی در یک مدولاتور سیگما-دلتای دقت بالا، معمولاً دقت توسط نویز مداری محدود می‌شود، مقدار توان نویز کوانتیزاسیون مدولاتور حداقل باید ۱۰-۱۵ دسی‌بل بالاتر از توان نویز مداری انتخاب شود تا شرط فوق حفظ شود. این کار باعث می‌شود تا توان مصرفی مدار که با اندازه خازن‌های مدار رابطه مستقیم دارد، به‌طور قابل ملاحظه‌ای کم شود.

محدوده پویایی مدولاتور که برای حالت ایده آل در شکل ۵ رسم شده است به ترتیب برای OSR ۸ و ۱۶ برابر ۱۰۷ و ۱۲۳/۶ دسی‌بل می‌باشد. می‌توان نتیجه‌گیری کرد که مدولاتور با در نظر گرفتن تمام اثرات غیر ایده آل مداری که در مبحث پیاده‌سازی با آن مواجه است، با نرخ بیش‌نمونه‌برداری ۸ می‌تواند به راحتی دقت مورد نظر (۱۵ بیت) را برآورده کند.

اما مهم‌ترین اثرات غیر ایده‌آلی مدار که روی دقت و سرعت مدولاتور تأثیر می‌گذارد شامل نویز حرارتی سوئیچ‌ها، نویز تقویت‌کننده‌ها، بهره DC محدود انتگرال‌گیرها، پهنای باند و نرخ چرخش محدود تقویت‌کننده‌های عملیاتی می‌باشد.



شکل ۴: طیف خروجی مدولاتور سیگما-دلتا برای OSR ۸ و ۱۶.

$$NTF|_{OSR=\nu} (z) = \frac{(z-1)(z^2-1.968z+1)(z^2-1.989z+1)}{z^5-1.039z^4+0.64z^3-0.259z^2+0.62z-0.06} \quad (2-7)$$

جهت محاسبه ضرایب مدولاتور مورد نظر، تابع تبدیل نویز ساختار شکل ۲ که به همراه ضرایب در (۵) و (۶-۵) آورده شده‌اند را با (۷)، با هم متناظر قرار داده و با مساوی قرار دادن ضرایب نظیر به نظیر، ضرایب مستقل مدولاتور به ازای OSR ۸ و ۱۶ به دست می‌آید. بیشینه سیگنال ورودی مدولاتور،  $X_{max}$  که توسط (۸) و (۹) بیان می‌شوند [۱] نشان می‌دهد که کوانتایزر به کار رفته در مدولاتور چه دقتی داشته باشد

$$|X_{max}|_{OSR=8} = \frac{2^{B_q} - 5.43}{2^{B_q}} \cdot V_{ref} \quad (8)$$

$$|X_{max}|_{OSR=16} = \frac{2^{B_q} - 8.53}{2^{B_q}} \cdot V_{ref} \quad (9)$$

$$SNR \left| \frac{KT}{C_s \cdot noise} \right| = \frac{P_{sig}}{P_{noise(sw)}} = \frac{[(\sqrt{OLV_{ref}})^2 / 2]}{[(\sqrt{KT}) / C_s \cdot OSR]} \quad (10)$$

که  $C_s$  خازن نمونه‌برداری،  $K$  ثابت بولتزمن،  $T$  دما و  $OL$  فاکتور بیش‌بارشدگی می‌باشد. اگر نویز مداری کل مدولاتور ناشی از نویز سوئیچ طبقه اول فرض شود آنگاه با  $OL$  برابر با ۳- دسی‌بل و حداقل SNDR ۹۰ دسی‌بل، مقدار توان نویز مدار باید ۹۳- دسی‌بل باشد تا DR مدولاتور بالای ۱۵ بیت بماند. جهت تحقق سطح توان نویز در ورودی، مقدار خازن  $C_s$  (خازن نمونه‌برداری در انتگرال‌گیر اول) برابر ۹ پیکوفاراد خواهد شد که با در نظر گرفتن ۲۰ درصد اثرات پارازیتی ورودی انتگرال‌گیر اول به‌دست آمده است. اثر دیگر بهره محدود تقویت‌کننده عملیاتی است که باعث می‌شود در موقع انتگرال‌گیری از یک مقدار نمونه‌برداری شده، بار خازن نمونه‌برداری  $C_s$  به‌طور کامل به خروجی منتقل نشود و در عمل انتگرال‌گیر نشتی داشته باشد. اگر رابطه تابع تبدیل یک انتگرال‌گیر تأخیردار به‌صورت  $z^{-1} / (1 - z^{-1})$  باشد آنگاه این رابطه با در نظر گرفتن اثر بهره DC محدود آن در شبیه‌سازی به‌صورت زیر مدل می‌شود

$$\frac{V_o(z)}{V_i(z)} = \left( \frac{C_s}{C_i} \right) \frac{(1-m)z^{-1}}{1 - (1-p)z^{-1}} \quad (11-1)$$

که

$$p = \frac{1}{A_i} \left( \frac{C_s}{C_i} \right) \frac{1}{1 + \frac{1}{A_i} \left( 1 + \frac{C_s}{C_i} \right)} \quad (11-2)$$

$$m \cong \frac{1}{A_i} \left( 1 + \frac{C_s}{C_i} \right) \quad (11-3)$$

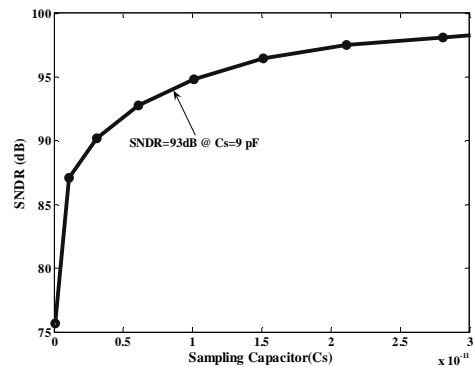
که  $A$  مقدار بهره در فرکانس‌های پایین است. با مدل کردن این روابط در محیط سیمولینک MATLAB، حداقل مقدار بهره DC مورد نیاز تقویت‌کننده انتگرال‌گیر اول برابر ۵۰ دسی‌بل به‌دست آمده است.

معمولاً طراحی یک تقویت‌کننده که هم بهره DC خوبی داشته باشد و هم بتواند پهنای باند وسیعی اختیار کند آسان نبوده و بین آنها مصالحه‌ای وجود خواهد داشت. آنچه شبیه‌سازی نشان می‌دهد انتگرال‌گیر طبقه اول جهت داشتن زمان نشست ( $t_s$ ) کوچک‌تر از ۵/۲ ns یا دقت نشست بالای ۱۵ بیت، به نرخ چرخش بالای ۵۰۰ V/us و پهنای باند بهره-واحد حداقل ۱ گیگاهرتز، نیاز دارد.

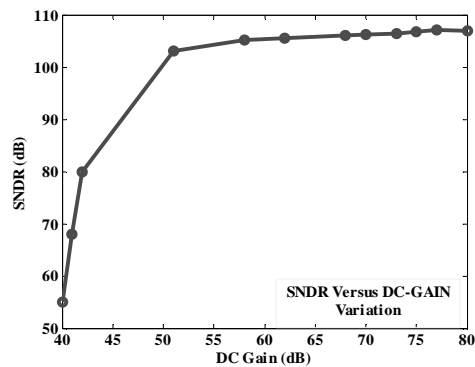
اما حاشیه پایداری یک مدولاتور سیگما-دلتا توسط حداکثر سوئیچینگ خروجی طبقات مختلف حلقه مدولاتور تعیین می‌شود. در صورتی که طراحی یک مدولاتور درست انجام شود سوئیچینگ گره‌های فیلتر حلقه باید پایین‌تر از حداکثر سوئیچینگ خروجی تقویت‌کننده استفاده شده باشد تا خروجی مدولاتور به اشباع نرود و پایداری حفظ شود. کاهش سوئیچینگ گره‌ها توسط عمل مقیاس‌بندی انجام می‌شود [۱].

نتایج شبیه‌سازی سیستمی نشان می‌دهد که اگر حداکثر ۰/۵٪ عدم تطابق بین مسیره‌های مختلف وجود داشته باشد مدولاتور پایدار مانده و عملکرد خروجی آن در حالت ایده‌آل بالای ۹۸ دسی‌بل می‌شود.

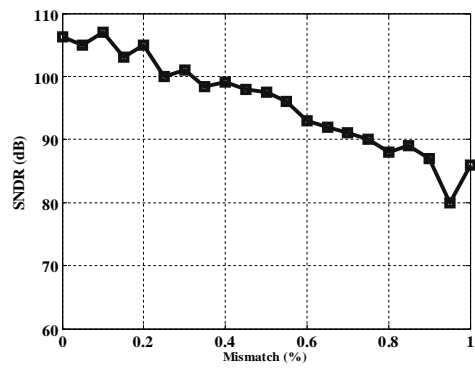
با مدل کردن هر یک از اثرات غیر ایده‌آلی، شبیه‌سازی مدولاتور مورد نظر در سطح سیستمی با استفاده از جعبه ابزار [Y] انجام شده است. شکل‌های ۶-الف تا ۶-د تابعیت SNDR نسبت به نویز سوئیچ، اثرات غیر ایده‌آلی بهره DC تقویت‌کننده، عدم تطابق خازن‌ها و SR تقویت‌کننده را نشان می‌دهند. در شکل ۷ نمودار چگالی طیفی توان خروجی در دو



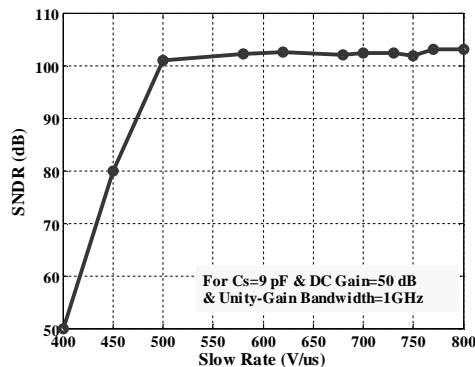
(الف)



(ب)



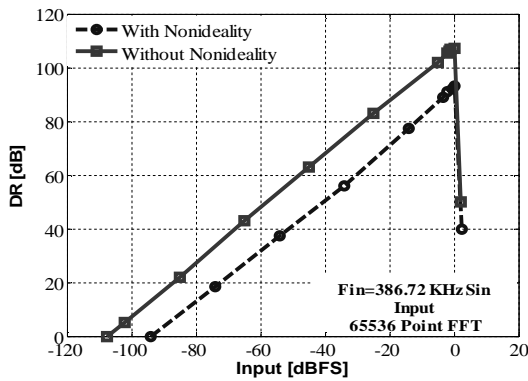
(ج)



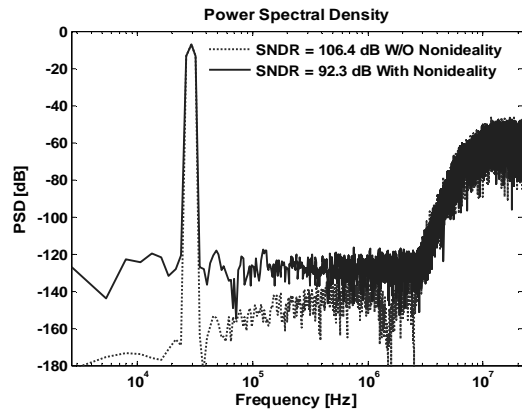
(د)

شکل ۶: (الف) تغییرات SNDR بر حسب خازن نمونه‌برداری، (ب) تغییرات SNDR بر حسب تغییرات بهره DC تقویت‌کننده، (ج) تغییرات SNDR بر حسب عدم تطابق ضرایب و (د) تغییرات SNDR بر حسب مقادیر مختلف Slow Rate.

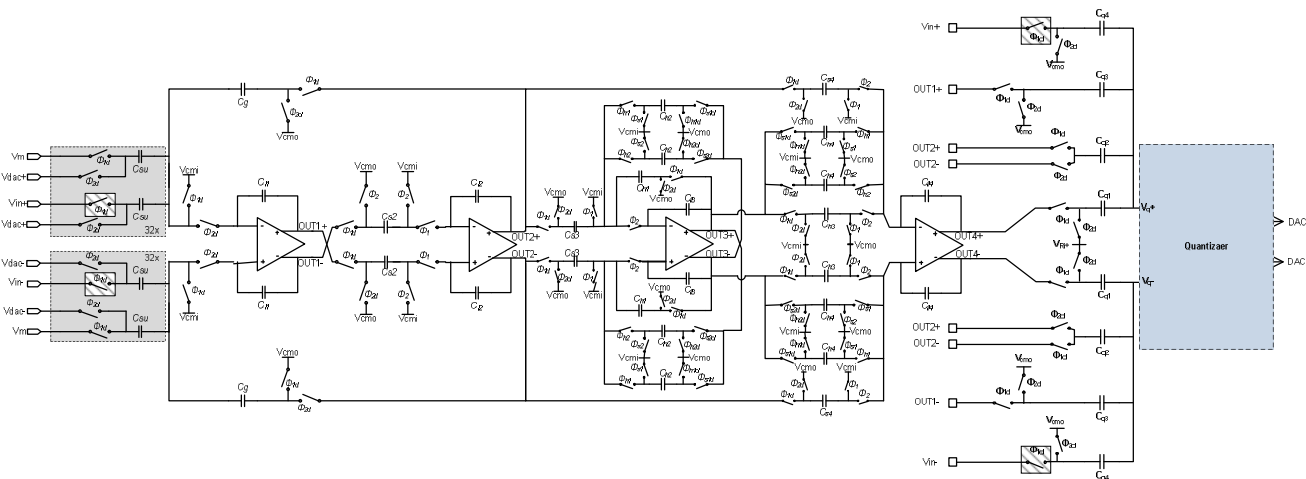
برای طراحی مدولاتور سیگما-دلتا با دقت بالا اصلی‌ترین مشکلی که دقت را محدود می‌کند، نویز مدار آنالوگ است. در حالتی که از یک انتگرال‌گیر سوئیچ-خازنی تمام‌تفاضلی، در پیاده‌سازی انتگرال‌گیر اول استفاده شود، میزان SNR با در نظر گرفتن نویز حرارتی سوئیچ‌ها با رابطه زیر تعریف می‌شود [۷]



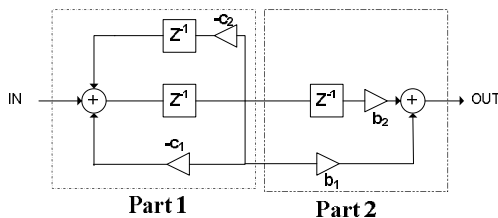
شکل ۸: میزان SNDR بر حسب محدوده پویایی خروجی با و بدون در نظر گرفتن اثرات غیر ایده‌آل مداری.



شکل ۷: طیف سیگنال خروجی با و بدون در نظر گرفتن اثرات غیر ایده‌آل مداری.



شکل ۹: مدولاتور سیگما-دلتای پیاده‌سازی شده با مرتبه ۵.



شکل ۱۰: دیاگرام تفکیک‌شده فیلتر IIR مرتبه ۲.

### ۳- پیاده‌سازی بخش‌های مختلف مدولاتور

ساختار کلی مدولاتور تمام‌تفاضلی پیاده‌سازی شده در شکل ۹ نشان داده شده است که در محیط نرم‌افزار Hspice تحقق یافته است. بخش‌های جلویی آن مربوط به پیاده‌سازی انتگرال‌گیر و فیلتر IIR با استفاده از مدارات سوئیچ-خازنی و بخش انتهایی شامل کوانتایزر ۵ بیتی و مدار جمع‌کننده خازنی در ورودی کوانتایزر می‌باشد. به‌کارگیری ساختار تمام‌تفاضلی باعث افزایش SNDR در مقایسه با ساختار تک‌سر شده، مصونیت از نویز آن بالاتر رفته و اثرات تغذیه و راکدر کلاک کمتر می‌گردد [۸]. برای جلوگیری از تأثیر تغییرات سیگنال ورودی بر روی مقاومت حالت وصل کانال MOSFET، سوئیچ‌های ورودی مدولاتور را با یک مدار خودراه‌انداز روشن می‌کنند.

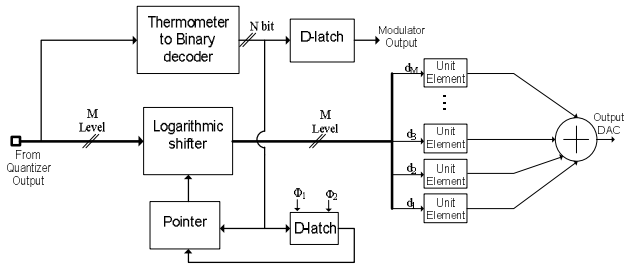
فیلتر مرتبه دوم IIR می‌تواند همانند ساختار استفاده‌شده در [۳] پیاده شود، اما این ساختار نیاز به دو تقویت‌کننده عملیاتی دارد. یک روش دیگر پیاده‌سازی این فیلتر در شکل ۱۰ نشان داده شده است. قسمت اول فیلتر به‌صورت مدار شکل ۱۱ پیاده‌سازی می‌شود (برای

جدول ۱: نتایج شبیه‌سازی با در نظر گرفتن یک‌یک و تمام اثرات غیر ایده‌آل مداری.

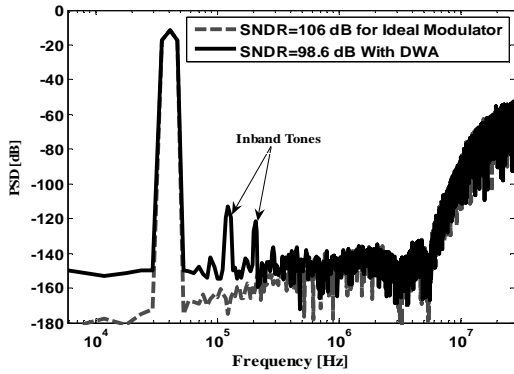
ENOB (bits)	SNDR (dB)	اثرات غیر ایده‌آلی انتگرال‌گیر
۱۷٫۶	۱۰۶٫۵	مدل ایده‌آل
۱۵٫۵	۹۳٫۲	نویز حرارتی سوئیچ ( $C_s = 9 \text{ pF}$ )
۱۶٫۶	۱۰۰٫۲	جیتز کلاک نمونه‌برداری ( $0.9 \text{ ps}$ )
۱۶٫۳	۹۸٫۴	عدم تطابق ضرایب ( $0.5\%$ )
۱۶٫۰۱	۹۶٫۶	بهره DC محدود ( $A = 50 \text{ dB}$ )
۱۶٫۸	۱۰۱٫۳	نرخ چرخش ( $SR = 50 \text{ V/us}$ )
۱۶٫۳	۹۹٫۵	پهنای باند بهره واحد ( $f_U = 1 \text{ GHz}$ )
۱۶٫۱	۹۸٫۶	حذف اثر غیر خطی DAC با DWA
۱۵٫۳	۹۲٫۳	مدل واقعی شامل همه اثرات بالا

حالت ایده‌آل و واقعی ترسیم شده است. مقدار SNDR واقعی نتیجه‌شده ۹۲٫۳ dB است که شامل همه اثرات غیر ایده‌آلی نشان داده شده در جدول ۱ است. مقدار محدوده پویایی مدولاتور نیز در دو حالت ایده‌آل و واقعی در شکل ۸ نشان داده شده است.

لازم است اشاره کنیم که حداقل کردن مصرفی در کل یکی از اهداف اصلی در طراحی طبقات مختلف مدولاتور است که در بخش طراحی سیستمی به‌طور مستقیم به این موضوع پرداخته نشده است اما به‌طور غیر مستقیم با انتخاب بهترین حالت برای مشخصه‌های مدولاتور به‌دلیل این که از یک سو دقت مدولاتور کاسته نشود و از سوی دیگر توان نویز مداری افزایش نیابد، مقدار توان مصرفی را تا حد امکان بهینه کرده‌ایم.



شکل ۱۴: نحوه پیاده‌سازی الگوریتم DWA.



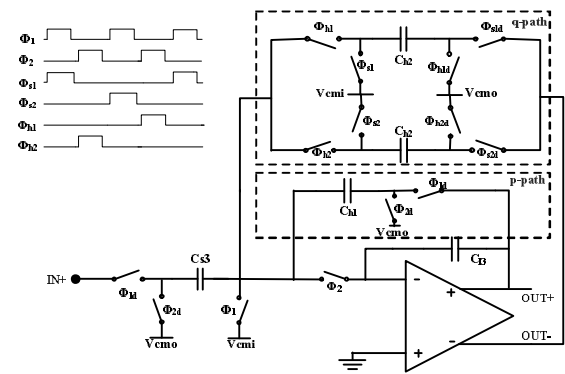
شکل ۱۵: طیف خروجی مدولاتور با و بدون اعمال DWA.

از این رو طبقه پیش‌تقویت‌کننده با توجه به مسأله قبلی باید بهره بزرگ‌تری داشته باشد تا ولتاژهای خروجی خود را به سطحی برساند که مقایسه‌گر بتواند به خوبی تصمیم‌گیری کند و از طرفی مقدار آفست ارجاعی به ورودی کوانتایزر را کاهش دهد. شکل ۱۳ مدار پیش‌تقویت‌کننده و مقایسه‌گر را نشان می‌دهد. با توجه به نتایج شبیه‌سازی مقدار آفست لیچ مقایسه‌گر وقتی به ورودی ارجاع داده می‌شود برابر ۹ میلی‌ولت می‌گردد.

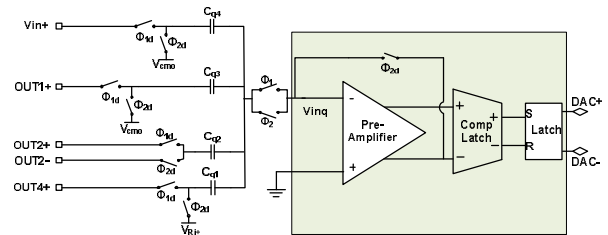
خروجی کوانتایزر که ۳۳ سطحی است بعد از آماده‌شدن به یک میدل DAC داده می‌شود و سیگنال خروجی DAC در ورودی مدولاتور با سیگنال ورودی جمع می‌شود. با توجه به شکل ۹ عناصر واحد DAC (۳۲ عدد خازن  $C_{Stt}$ ) عمل برگردان خروجی کوانتس شده مدولاتور به کمیت آنالوگ جهت مقایسه با سیگنال ورودی را انجام می‌دهند. به‌علت خواص غیر خطی که DAC از خود بروز می‌دهد، از یک الگوریتم خطی‌سازی به نام متوسط‌گیری وزن‌دار داده (DWA) قبل از میدل DAC استفاده شده است (شکل ۱۴) [۱۰]. الگوریتم DWA خطای DAC را تا حد قابل قبولی بهبود می‌بخشد اما تون‌های طیفی در خروجی ایجاد می‌کند.

شبیه‌سازی‌ها نشان می‌دهد که توان تون‌های ایجادی در عمل پایین‌تر از توان نویز مداری است. شکل ۱۵ مقدار SNDR را قبل و بعد از اعمال DWA با در نظر گرفتن اثر غیر ایده‌آلی DAC در هر دو حالت، نشان می‌دهد. مقدار SNDR بیان می‌کند که خطای DAC حدود ۹۹ dB - پایین‌تر از توان سیگنال ورودی است. بنابراین خطای DAC محدودکننده دقت نمی‌باشد و می‌توان در تحقق مدولاتور از این الگوریتم استفاده کرد. همان‌طور که در شکل ۱۶ نشان داده شده است یک تقویت‌کننده عملیاتی فلدد-کاسکود دو طبقه کلاس A جهت استفاده در ساختار انتگرال‌گیر و بلوک فیلتر IIR استفاده شده است [۱۱].

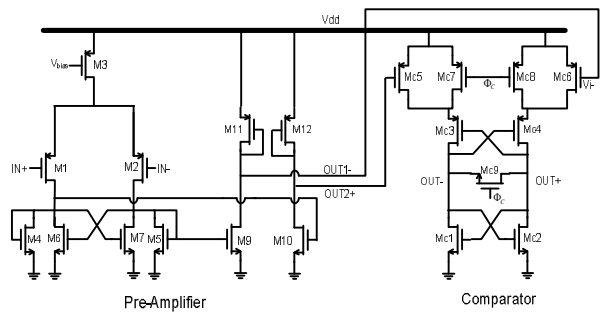
در این ساختار علاوه بر خازن جبران‌ساز  $C_s$ ، خازن  $C_a$  نیز به همین منظور به کار گرفته شده تا بتوان با دورکردن قطب‌های مدار از مبدأ به سرعت و پهنای باند بالاتری نسبت به ساختارهای متداول دست یافت. ترانزیستورهای ورودی PMOS جهت افزایش سرعت (نرخ چرخش) تقویت‌کننده و کاهش نویز  $1/f$  به کار رفته است. نویز ارجاع‌شده به ورودی تقویت‌کننده در حالت حلقه بسته برابر است با [۱۱]



شکل ۱۱: تحقق فیلتر IIR مرتبه ۲ با یک تقویت‌کننده به‌همراه دی‌گرام زمان‌بندی.



شکل ۱۲: کوانتایزر و مدار جمع‌کننده در ورودی آن.

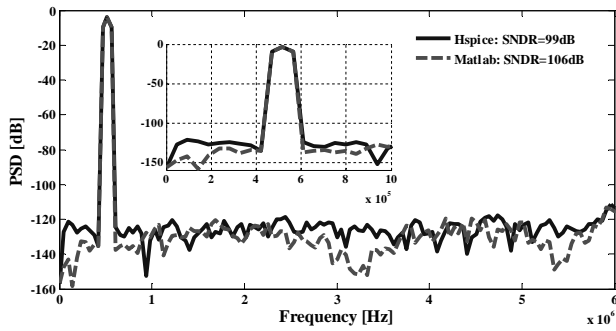


شکل ۱۳: آرایش مدار مقایسه‌گر به‌همراه پیش‌تقویت‌کننده آن.

راحتی قسمت تفاضلی شکل رسم نشده است). به‌علت کم‌بودن سوینگ خروجی فیلتر مرتبه ۲، این ساختار را می‌توان با یک تقویت‌کننده عملیاتی ساخت که همان دقت و کارایی فیلتر مرتبه ۲ با دو تقویت‌کننده عملیاتی را داشته باشد [۹].

مسیر p-path به‌وسیله خازن  $C_{h1}$  تحقق یافته است که در فاز  $\phi_1$  از خروجی نمونه‌برداری می‌کند و در فاز  $\phi_2$  به خازن  $C_l$  منتقل می‌کند. قسمت q-path با استفاده از نمونه‌برداری با تأخیر در مسیر فیدبک به‌وسیله دو مسیر خازنی ( $C_{h2}$ )، جمله  $c_r z^{-2}$  را از (۴) تحقق می‌بخشد. قسمت دوم (صورت) چندجمله‌ای فیلتر IIR (۴) می‌تواند با انتگرال‌گیر انتهایی ترکیب شود تا در عمل پیاده‌سازی بلوک IIR با یک تقویت‌کننده عملیاتی صورت گیرد. وجود عدم تطابق بین خازن‌های مسیر q-path باعث می‌شود شکل‌دهی نویز بدتر شده و میزان تضعیف نویز کوانتیزاسیون کاهش یابد. اما به‌علت قرارگرفتن فیلتر IIR در طبقات انتهایی، منجر به شکل‌دهی مرتبه دوم این اثر در ورودی شده و با ۰/۵ درصد عدم تطابق خازن‌ها مقدار SNDR خروجی بالای ۹۰ دسی‌بل باقی می‌ماند.

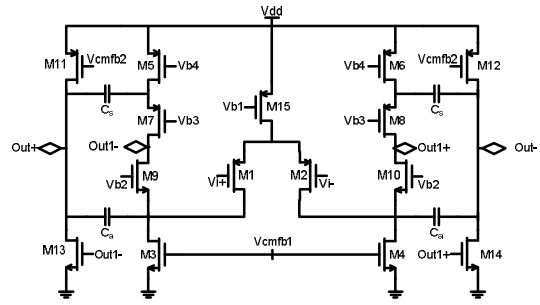
همان‌طور که از شکل ۱۲ مشخص است در ورودی کوانتایزر از یک جمع‌کننده غیر فعال برای جمع‌کردن مسیرهای پیش‌خور ساختار مدولاتور، استفاده شده است [۵]. این روش نیاز به یک تقویت‌کننده عملیاتی دیگر را برطرف می‌کند اما باعث می‌شود بهره جمع‌کننده کمتر از یک باشد که برای حل این مشکل باید از تکنیک مقیاس‌بندی ولتاژهای مرجع ورودی کوانتایزر استفاده کرد.



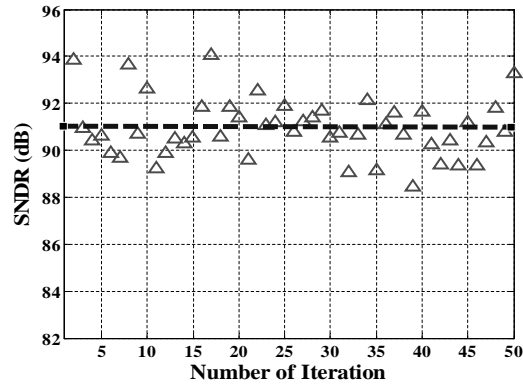
شکل ۱۷: طیف خروجی مدولاتور حاصل از شبیه‌سازی سیستمی و Hspice.

جدول ۲: مقایسه نتایج گوشه‌های مختلف پروسس در مدولاتور مورد نظر.

	$V_{dd} = 1.3V$ Temperature = $100^{\circ}C$	$V_{dd} = 1.1V$ Temperature = $100^{\circ}C$
SNDR (dB)	۹۶	۹۴٫۸
DR (dB)	۹۷٫۱	۹۵
	$V_{dd} = 1.1V$ Temperature = $-20^{\circ}C$	$V_{dd} = 1.3V$ Temperature = $-20^{\circ}C$
SNDR (dB)	۹۷٫۶	۹۹٫۵
DR (dB)	۹۹	۱۰۱



شکل ۱۶: تقویت‌کننده عملیاتی استفاده‌شده در انتگرال‌گیر و فیلتر IIR.



شکل ۱۸: SNDR بر حسب تغییرات خازن‌ها با استفاده از شبیه‌سازی مونت کارلو.

جدول ۳: مقایسه نتایج پیاده‌سازی مدولاتور.

مشخصه	این کار	[۳]	[۵]	[۱۱]
توپولوژی	مرتبه ۵ تک-حلقه	مرتبه ۵ تک-حلقه	مرتبه ۴ کسکید	مرتبه ۴ کسکید
فرکانس نمونه‌برداری	۹۶ MHz	۳۲ MHz	۴۰ MHz	۵۰ MHz
پهنای باند نرخ نایکوئیست	۱۲ Ms/s	۲ Ms/s	۲٫۵ Ms/s	۲ Ms/s
محدوده پویایی	۹۲٫۱ dB	۸۳ dB	۹۶ dB	۸۰ dB
منبع تغذیه	۱٫۲ V	۱٫۸ V	۱٫۲ V	۱٫۸ V
توان مصرفی	۵۳ mW	۱۵۰ mW	۸۷ mW	۱۸٫۸ mW
تکنولوژی	۰٫۱۳ um	۰٫۱۸ um	۰٫۲۵ um	۰٫۱۸ um
معیار شایستگی ( $10^{-3}$ )	۵٫۶	۰٫۱	۲٫۴	۰٫۲

خروجی هر دو حالت اختلاف کمی با هم دارند و عملکرد یکسانی از جهت تضعیف کوانتیزاسیون از خود نشان می‌دهند.

مقدار SNDR که فقط شامل نویز کوانتیزاسیون و هارمونیک می‌باشد و نویز حرارتی در آن منظور نشده است، برابر ۹۹ دسی‌بل شده است. با در نظر گرفتن نویز حرارتی مقدار SNDR کل برابر ۹۱ دسی‌بل می‌شود. آنالیز گوشه‌های مختلف پروسس جهت بررسی حساسیت مدولاتور طراحی‌شده به‌ازای تغییرات دما و منبع تغذیه انجام شد. برای منبع تغذیه، رنج تغییرات  $\pm 10\%$  درصد از ولتاژ نامی خود در نظر گرفته شد. تغییرات دما نیز به‌ازای دو مقدار  $-20^{\circ}C$  و  $100^{\circ}C$  درجه انجام شد. نتایج برای تمام گوشه‌های پروسس به‌صورت نشان داده شده در جدول ۲ بدون در نظر گرفتن نویز مداری به‌دست آمد.

با استفاده از شبیه‌سازی مونت کارلو نیز می‌توان صحت عملکرد مدار را بررسی کرد. شکل ۱۸ مقدار SNDR ناشی از آنالیز مونت کارلو را به‌ازای تغییرات اندازه خازن‌ها (نمونه‌برداری و انتگرال‌گیری) حداکثر تا ۰٫۵ درصد نشان می‌دهد. این شبیه‌سازی بیان می‌کند عملکرد مدولاتور نسبت به اثرات غیر ایده‌آل مداری حساسیت کمی داشته و در مجموع ۳ دسی‌بل افت عملکرد به‌ازای حداکثر عدم تطابق وجود دارد.

در جدول ۳ خلاصه عملکرد مدولاتور به همراه مقایسه با کارهای

$$\bar{V}_n^2(in) \approx \frac{4KT\beta}{3(C_a + C_s)} \left(1 + \frac{g_{m9} + g_{m11}}{g_{m1}}\right) \quad (12)$$

که در آن  $\beta$  ضریب فیدبک تقویت‌کننده می‌باشد. تقویت‌کننده فوق در انتگرال‌گیر اول که یکی از قسمت‌های بحرانی پیاده‌سازی است حداقل ۵۱ دسی‌بل بهره، ۱٫۱ مگاهرتز پهنای باند بهره-واحد و نرخ چرخش بالای  $500 V/\mu s$  دارد. دو مدار فیدبک مد-مشترک (CMFB) برای کنترل ولتاژ مد-مشترک خروجی طبقه اول و همچنین طبقه دوم به کار رفته است و جریان ترانزیستورهای ورودی و خروجی را تنظیم می‌کند.

#### ۴- نتایج پیاده‌سازی و عملکرد مدولاتور

شکل ۱۷ طیف خروجی مدولاتور را بدون در نظر گرفتن نویز مداری نشان می‌دهد که در آن  $f_{in} = 515,625 KHz$  و دامنه آن  $-2,5 dBFS$  گرفته شده است. فرکانس نمونه‌برداری  $f_s = 96 MHz$  و  $OSR = 8$  می‌باشد. این طیف که برای خروجی  $2048$  نقطه‌ای رسم شده است دارای  $SNDR = 99,1 dB$  و محدوده دینامیکی حدود  $101$  دسی‌بل در دمای  $27^{\circ}C$  سانتی‌گراد می‌باشد.

در این شکل طیف خروجی حاصل از شبیه‌سازی سیستمی سیمولینک MATLAB با شبیه‌سازی Hspice مقایسه شده است که نشان می‌دهد

## مراجع

- [1] R. Schreier and G. C. Temes, *Understanding Delta - Sigma Data Converters*, Wiley/IEEE Press, 2005.
- [2] M. Safi-Harb and G. W. Roberts, "Low power delta-sigma modulator for ADSL applications in a low-voltage CMOS technology," *IEEE Trans. on Circuits System I*, vol. 52, no. 10, pp. 2075-2089, Oct. 2005.
- [3] R. Jiang and T. Fiez, "A 14bit delta-sigma ADC with 8x OSR and 4 MHz conversion bandwidth in a 0.18um CMOS process," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 63-74, Jan. 2004.
- [4] M. Yavari, O. Shoaie, and A. Rodriguez-Vazquez, "Double-sampling single-loop sigma delta modulator topologies for broad-and applications," *IEEE Trans.*, vol. 53, no. 4, pp. 314-318, Apr. 2006.
- [5] K. Nam, S. Lee, D. Su, and A. Wooley, "A low-voltage low-power sigma-delta modulator for broadband analog-to-digital conversion," *IEEE J. Solid-State Circuits*, vol. 40, no. 9, pp. 1855-1864, Sep. 2005.
- [6] J. Silva, U. Moon, J. Steensgaard, and G. Temes, "Wideband low distortion delta - sigma ADC topology," *Electronics Letters*, vol. 37, no. 12, pp. 737-738, Jun. 2001.
- [7] S. Brigati, F. Francesconi, P. Malcovati, D. Tonietto, A. Baschiroto, and F. Maloberti, "Modeling sigma-delta modulator non idealities in SIMULINK," in *Proc. IEEE Int. Symp. on Circuits and Systems, ISCAS'99*, vol. 2, pp. 384-387, Orlando, US, 30 May-2 Jun. 1999.
- [8] G. Suarez, M. Jimenez, and F. O. Fernandez, "Behavioral modeling methods for switched - capacitor  $\Sigma\Delta$  modulators," *IEEE Trans. on Circuits and Systems I*, vol. 54, no. 6, pp. 1236-1244, Jun. 2007.
- [9] A. Safarian, F. Sahandi, and S. Atarodi, "A new low-power delta-sigma modulator with the reduced number of op-amps for speech band applications," in *Proc. IEEE Int. Symp. on Circuits and Systems, ISCAS'03* vol. 1, pp. 1033-1036, Bangkok, Thailand, 25-28 May 2003.
- [10] P. Balmelli and Q. Huang, "A 25-MS/s 14-b 200-mW sigma delta modulator in 0.18um CMOS," *IEEE J. of Solid - State Circuits*, vol. 39, no. 12, pp. 2161-2170, Dec. 2004.
- [11] M. Yavari and O. Shoaie, "Hybrid cascade compensation for two-stage CMOS opamps," *IEICE Trans. on Electronics*, vol. 88, no. 3, pp. 1161-1165, Jun. 2005.
- [12] S. Rabbii and B. A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*, Kluwer Academic Publisher, Boston, 1999.
- [13] M. Taghizadeh, A. Nabavi, and D. Mahmoodi, "A 15 bits 12 MS/s 5th-order sigma-delta modulator for communication applications," in *Proc. Int. Conf. on Microelectronics, ICM2008*, pp. 408-411, Sharjah, UAE, Dec. 2008.

**مهدي تقی زاده** تحصیلات خود را در مقاطع کارشناسی و کارشناسی ارشد برق-الکترونیک به ترتیب در سالهای ۱۳۸۲ و ۱۳۸۷ از دانشگاه شیراز و دانشگاه تربیت مدرس به پایان رسانده است. در دوره کارشناسی ارشد تحقیقاتش بر روی طراحی مبدل‌های سیگما-دلتای باند وسیع بوده است. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: مدارهای آنالوگ به دیجیتال، رادیوی نرم افزاری، مدارات فرکانس بالا و طراحی مدارهای توان پایین.

**عبدالرضا نبوی** در سال ۱۳۶۵ و ۱۳۶۷ مدرک کارشناسی و کارشناسی ارشد خود را در رشته مهندسی برق-الکترونیک از دانشگاه تهران و در سال ۱۳۷۲ موفق به اخذ درجه دکترا در مهندسی الکترونیک از دانشگاه McGill کانادا گردید. از سال ۱۳۷۲ تاکنون عضو هیأت علمی دانشکده برق و کامپیوتر دانشگاه تربیت مدرس تهران می‌باشد. زمینه‌های علمی مورد علاقه نام‌برده متنوع بوده و شامل موضوعاتی مانند طراحی مدارهای پایه‌ای منطقی VLSI برای کاربردهای توان پایین، طراحی مبدل‌های ADC و DAC در توان و ولتاژ پایین، طراحی مدارهای RF همچون LNA، میکسر و سیستم‌های فرابهن باند می‌باشد.

مشابه آمده است. برای مقایسه بهتر بین کارهای انجام‌شده از معیار شایستگی (FOM) که با (۱۳) تعریف می‌شود [۱۲]، استفاده می‌کنیم

$$FOM = \frac{4KT \times DR \times BW_N}{P_{diss}} \quad (13)$$

که در آن  $DR$  محدوده پویایی مبدل سیگما-دلتاست که به جای مقدار دسی‌بل آن از نسبت توان آن استفاده می‌شود و  $BW_N$  پهنای باند نرخ نایکویست مبدل و  $P_{diss}$  توان مصرفی مدار است.

با توجه به جدول ۳ معیار شایستگی مبدل پیاده‌سازی شده، بیشتر است که علت این امر را می‌توان افزایش پهنای باند ورودی مبدل و  $DR$  سیستم بیان کرد که در ازای افزایش نسبتاً کم توان مصرفی مدار به دست آمده است. به عنوان نمونه در [۳] نیز از فیلتر IIR در ساختار مدولاتور تک‌حلقه مرتبه ۵ استفاده شده، اما به‌خاطر به‌کارگیری ساختارهای متداول سیگما-دلتا، سوینگ طبقات آن زیاد بوده علاوه بر کاهش یافتن محدوده دینامیکی، توان مصرفی مدولاتور را نیز بالا برده و معیار شایستگی را پایین آورده است. در [۵] محدوده پویایی مدولاتور بالای ۹۰ دسی‌بل است اما به‌علت بالابودن توان مصرفی که به‌علت پیچیده‌بودن ساختار می‌باشد، معیار شایستگی آن پایین است.

در ساختار ارائه‌شده، کاهش سوینگ خروجی طبقات در فیلتر حلقه مدولاتور و همچنین تعداد تقویت‌کننده عملیاتی مورد نیاز، عامل اصلی مصرف توان کمتر نسبت به ساختارهای مشابه است که همه به‌علت استفاده از فیلتر IIR و کاهش پیچیدگی مدولاتور حاصل شده است [۱۳].

## ۵- نتیجه‌گیری

در این مقاله یک مدولاتور سیگما-دلتای مرتبه ۵ با دقت بالا و عرض باند وسیع در محیط MATLAB و Hspice شبیه‌سازی و پیاده‌سازی شده است. استفاده از ترکیب انتگرال‌گیر و فیلتر IIR در مدولاتور نشان می‌دهد می‌توان به دقت بالای ۱۵ بیت و پهنای باند بالا با پایداری مناسب مدولاتور دست یافت. این ساختار در مقایسه با ساختارهای مشابه با توجه به این که تعداد تقویت‌کننده‌های عملیاتی آن و در نتیجه توان مصرفی کل مدولاتور کاهش یافته، دارای عملکرد خروجی یکسانی است. با نرخ بیش‌نمونه‌برداری ۸، SNDR نهایی برابر ۹۱ دسی‌بل و پهنای باند اندازه‌گیری شده حدود ۶ مگاهرتز می‌باشد.

## سپاس‌گزاری

این تحقیق توسط مرکز تحقیقات مخابرات ایران پشتیبانی شده است که بدین وسیله از این مرکز تشکر و قدردانی می‌شود.