

طراحی و شبیه سازی یک ترانزیستور SOI-MOSFET چند لایه‌ای برای بهبود اثرات خود گرمایی

علی اصغر اروجی^{۱*}، سارا حیدری^۲

| اطلاعات مقاله | چکیده |
|---|---|
| واژگان کلیدی: ترانزیستور اثر میدان، سیلیسیم روی عایق، خود گرمایی. | این مقاله طرح جدیدی برای ساختار ترانزیستورهای SOI-MOSFET به عنوان راه کاری مناسب برای کاهش اثرات مخرب پدیده خود گرمایی ارائه می دهد. ایده اصلی در ارائه این ساختار نوین، استفاده از ماده Si_3N_4 می باشد که دارای هدایت گرمایی بیشتری نسبت به اکسید سیلیسیم است. همچنین به کمک شبیه سازی دو بعدی، عملکرد این ساختار مورد تجزیه و تحلیل قرار گرفته است. نتایج به دست آمده نشان می دهند که ساختار SOI-MOSFET چند لایه‌ای می تواند نقش به سزایی در انتقال گرما به لایه‌های زیرین لایه مدفون داشته و از افزایش گرما در کانال جلوگیری نماید. |

۱- مقدمه

داده است [۲ و ۳]. هر چند که وجود یک لایه عایق در این فناوری عامل اصلی برتری آن نسبت به فناوری بدنه است، ولی این لایه باعث بروز یک عیب در آن می گردد که به پدیده خود گرمایی معروف است. این پدیده در اثر هدایت گرمایی بسیار کمتر لایه عایق در مقایسه با سیلیسیم به وجود می آید. به عنوان مثال، می توان به اکسید سیلیسیم که یکی از متداول ترین عایق ها در فناوری SOI است اشاره کرد، که هدایت گرمایی آن در دمای اتاق برابر ۱/۴ وات بر کلومین متر است. در حالی که این کمیت برای سیلیسیم برابر ۱۴۸ وات بر کلومین متر می باشد. این ویژگی منجر به خود گرمایی بدنه سیلیسیم و در نتیجه باعث اتلاف گرما در اتصالات فلزی می شود. بنابراین، هدایت گرمایی در ادوات SOI محدود شده است. خود گرمایی باعث کاهش قابلیت تحرک حامل ها، جریان

با توجه به مجتمع سازی ادوات سیلیسیمی در مقیاس بزرگ، مشکلات قابل ملاحظه‌ای از جمله کمتر شدن سرعت سوئیچینگ و بالا رفتن توان مصرفی در مدارات کاربردی پدیدار می شود. به همین دلایل، فناوری سیلیسیم روی عایق^۱ (SOI) جایگزین فناوری بدنه سیلیسیم شده است [۱]. در این فناوری، وجود یک لایه به عنوان عایق باعث بهبود بسیاری از مشخصات ترانزیستورها در مدارات کاربردی می گردد. این فناوری برتری خود را در زمینه‌های مختلف از جمله افزایش سرعت و چگالی، افزایش مصونیت در برابر فعال شدن ترانزیستورهای پارازیتی و ایجاد جریان های نشتی، کاهش ولتاژ منبع تغذیه، مصونیت در برابر تشعشعات و ... نشان

* پست الکترونیک نویسنده مسئول: aliaorouji@ieee.org

۱. دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان

۲. کارشناس ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان

¹ Silicon on Insulator

$$H = \frac{|\vec{j}_n|^2}{q\mu_n n} + \frac{|\vec{j}_p|^2}{q\mu_p p} \quad (2)$$

$$+ q(R - G) \cdot [\phi_p - \phi_n + T(P_n + P_p)]$$

$$- T(\vec{j}_n \cdot \nabla P_n - \vec{j}_p \cdot \nabla P_p)$$

در رابطه فوق، \vec{j} چگالی‌های جریان، ϕ سطوح شبه فرمی، μ قابلیت تحرک و P توان ترموالکتریکی حامل‌های بار می‌باشند. همچنین R و G نرخ‌های بازترکیب و تولید حامل‌ها، n و p غلظت الکترون‌ها و حفره‌ها می‌باشند. لازم به ذکر است که دو جمله اول در رابطه ۲ گرمای ژول را نمایش می‌دهند. همچنین جملات سوم و چهارم به ترتیب گرمای ناشی از بازترکیب و گرمای پلتیر و تامسون را نشان می‌دهند.

بنابراین در شبیه سازی انجام شده در این کار، ابتدا یک متغیر حالت جدید که بیانگر دمای شبکه (T_L) بوده و اثر خود گرمایی را بیان می‌کند تعریف شده است. همچنین با وارد کردن متغیر جدید T_L در مدل‌های مختلف فیزیکی همچون قابلیت تحرک حامل‌ها، بازترکیب حامل‌ها و ... در شبیه ساز اثرات دمایی در ترانزیستور لحاظ می‌شود. شبیه ساز نیز با توجه به شرایط اولیه به روش عددی و درون‌یابی معادلات پواسن، معادله پیوستگی و معادله گرما را حل نموده تا زمانی که همگرایی صورت پذیرد. بعد از همگرایی میزان دمای شبکه (T_L) در تمام نقاط ترانزیستور به دست خواهد آمد.

۳- ترانزیستور SOI-MOSFET چند لایه‌ای

شکل‌های ۱ و ۲ به ترتیب ساختارهای ترانزیستورهای SOI متداول و SOI چند لایه‌ای را نشان می‌دهند. همانطور که شکل‌های فوق نشان می‌دهند در ساختار SOI چند لایه‌ای یک لایه Si_3N_4 بین دو لایه SiO_2 قرار گرفته است. در نتیجه سه لایه $(\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2)$ به عنوان لایه عایق مورد استفاده قرار می‌گیرد. برتری ساختار ارائه شده را می‌توان به دلیل هدایت گرمایی

درین و ولتاژ آستانه ترانزیستورهای اثر میدان^۱ (MOSFET) می‌گردد. بنابراین، با افزایش خود گرمایی، مشخصات ترانزیستورها دچار تغییر شده و باعث بروز نتایج نامطلوب و غیر دقیق در مدارات کاربردی می‌گردد. تا کنون مقالات گوناگونی جهت ارائه طرح‌هایی مناسب برای کاهش اثرات مخرب خود گرمایی ارائه شده است. استفاده از سیلیسیم یا موادی با هدایت گرمایی زیاد در دیواره‌های مجاور سورس و درین به عنوان گرماگیر، تغییر در ساختار لایه اکسید مدفون (BOX) جهت عبور گرما و انتقال آن به لایه‌های زیرین ترانزیستور، استفاده از موادی با هدایت گرمایی بیشتر در لایه اکسید مدفون و ... از جمله راه‌های پیشنهادی جهت کاهش اثرات مخرب خود گرمایی می‌باشند [۴-۸].

در این مقاله، ساختار جدیدی با نام SOI-MOSFET چند لایه‌ای ارائه می‌گردد که باعث بهبود اثرات خود گرمایی می‌شود. در این تحقیق، به کمک شبیه ساز دو بعدی MEDICI [۹] نشان داده شده که این ساختار جدید می‌تواند از افزایش دما در ترانزیستور تا حد زیادی جلوگیری نماید.

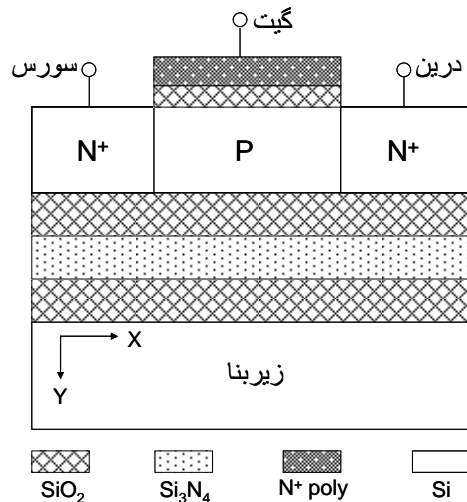
۲- معادلات گرمایی مورد استفاده در شبیه سازی

برای شبیه سازی پدیده خود گرمایی باید معادلات الکتریکی و گرمایی همزمان با یکدیگر حل شوند. گرمای شبکه توسط معادله زیر که به معادله گرما^۲ موسوم است محاسبه می‌شود [۸]:

$$C \cdot (\partial T / \partial t) = \text{div}(k \nabla T) + H \quad (1)$$

که در آن C ظرفیت گرمایی، T دمای شبکه و H مقدار تولید گرما می‌باشند. همچنین H می‌تواند تحت شرایط پایدار به صورت زیر بیان شود [۱۰]:

¹ Metal Oxide Semiconductor Field Effect Transistor
² Heat Equation



شکل ۲- ساختار یک ترانزیستور SOI-MOSFET چند لایه‌ای

جدول ۱- پارامترهای ترانزیستور

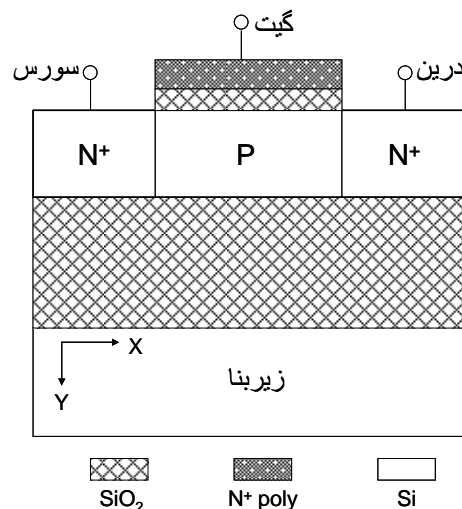
| مشخصات | پارامتر |
|---------------------------|----------------------------|
| 10^{19} cm^{-3} | ناخالصی سورس/ درین |
| 10^{16} cm^{-3} | ناخالصی فیلم سیلیسیمی |
| 100nm | ضخامت لایه نازک سیلیسیمی |
| 300nm | ضخامت ناحیه مدفون |
| 260nm | ضخامت ناحیه نیتريد سیلیسیم |
| 100nm | طول کانال |
| 1500nm | طول ساختار |
| 20nm | ضخامت اکسید گیت |

۴- نتایج و بحث

با استفاده از شبیه ساز دو بعدی MEDICI ساختار ترانزیستور SOI-MOSFET چند لایه‌ای شبیه سازی شده و نتایج با ساختار یک ترانزیستور SOI-MOSFET ساده (شکل ۱) مقایسه شده است.

شکل‌های ۳ و ۴ توزیع سه بعدی دما را به ترتیب در ترانزیستورهای SOI-MOSFET چند لایه‌ای و ساده نشان می‌دهند. همانطور که شکل‌های فوق نشان می‌دهند ماکزیمم دما در ساختار چند لایه‌ای ۳۵۴ درجه کلون در است، در حالیکه ماکزیمم دما در ساختار SOI-MOSFET ساده ۵۸۰ درجه کلون است.

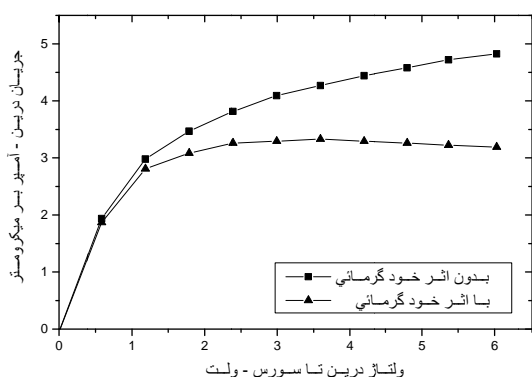
بیشتر Si_3N_4 (۳۰ وات بر کلون متر) در برابر هدایت گرمایی SiO_2 (۱/۴ وات بر کلون متر) دانست. با کاهش ضخامت لایه‌های اکسید سیلیسیم و افزایش ضخامت لایه نیتريد سیلیسیم در بخش چند لایه‌ای (SiO_2) افزایش و تأثیرات مخرب پدیده خودگرمایی کاهش می‌یابند. ما در این شبیه سازی برای کاهش اثرات مخرب پدیده خودگرمایی، ضمن حفظ خاصیت ایزولاسیون الکتریکی، ضخامت‌های اکسید سیلیسیم و نیتريد سیلیسیم را به ترتیب برابر با ۲۰۰ و ۲۶۰۰ آنگستروم در نظر گرفته‌ایم. با در نظر گرفتن این ضخامت‌ها، هدایت گرمایی معادل ۲۵ وات بر کلون متر خواهد شد که حدود ۲۰ برابر بیشتر از هدایت گرمایی اکسید سیلیسیم (۱/۴ وات بر کلون متر) می‌باشد. لازم به ذکر است که برای ساخت لایه عایق در این ترانزیستور می‌توان از کاشت یونی اتم‌های اکسیژن و نیتروژن روی اتم‌های سیلیسیم ترانزیستور استفاده نمود. مشخصات و پارامترهای به کار برده برای شبیه سازی در جدول ۱ نشان داده شده است. چگالی ناخالصی‌ها در کانال و زیربنا برابر 1×10^{16} بر سانتی‌متر مکعب فرض شده‌اند. ضخامت لایه اکسید گیت، لایه مدفون و لایه نازک سیلیسیمی به ترتیب برابر با ۲۰۰، ۳۰۰۰ و ۱۰۰۰ آنگستروم در نظر گرفته شده است. همچنین ماده گیت از جنس N^+ poly انتخاب شده است.



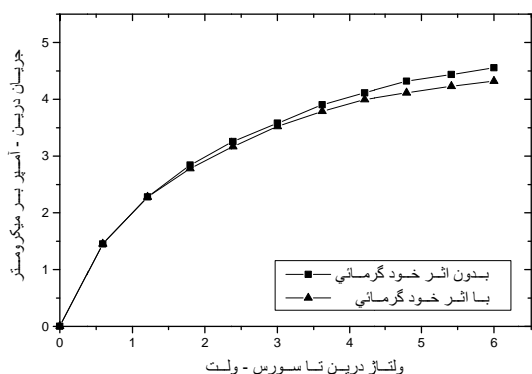
شکل ۱- ساختار یک ترانزیستور MOSFET در فناوری SOI

دو حالت بدون اثر خود گرمایی و با اثر خود گرمایی نشان داده شده است. همانطور که شکل فوق نشان می‌دهد با در نظر گرفتن اثر خود گرمایی کاهش جریان درین در مشخصه خروجی ناشی از کاهش قابلیت تحرک حامل‌ها قابل ملاحظه می‌باشد و بنابراین یک هدایت انتقالی منفی در ناحیه اشباع مشخصه خروجی وجود دارد. لازم به ذکر است که در مدل‌سازی ادوات SOI افزایش دما ناشی از خود گرمایی را می‌توان تقریباً با γV_{DS} مدل کرد که γ مقاومت گرمایی می‌باشد.

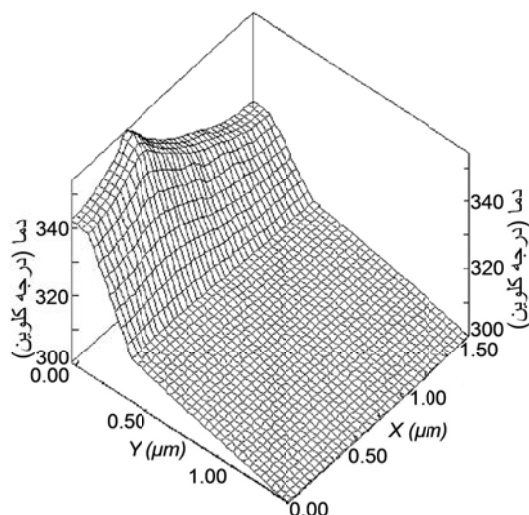
مشخصه خروجی یک ترانزیستور SOI-MOSFET چند لایه‌ای در دو حالت بدون اثر خود گرمایی و با اثر خود گرمایی در شکل ۶ نشان داده شده است. همانطور که مشاهده می‌شود ساختار SOI-MOSFET چند لایه‌ای اثرات خود گرمایی را بهبود داده است و گرما به راحتی به لایه‌های زیرین منتقل شده و از افزایش گرما در کانال جلوگیری شده است.



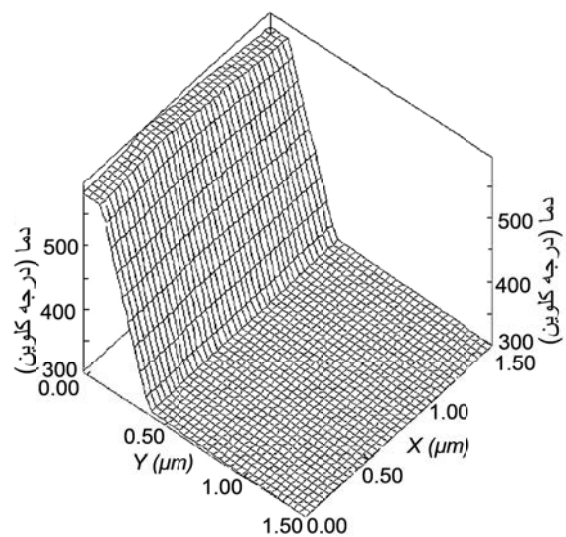
شکل ۵- مشخصه خروجی یک ترانزیستور SOI-MOSFET ساده



شکل ۶- مشخصه خروجی یک ترانزیستور SOI-MOSFET چند لایه‌ای



شکل ۳- توزیع سه بعدی دما در یک ترانزیستور SOI-MOSFET چند لایه



شکل ۴- توزیع سه بعدی دما در یک ترانزیستور SOI-MOSFET ساده

بنابراین ساختار چند لایه‌ای می‌تواند حدود ۲۳۰ درجه کلون دما را کاهش دهد. حضور لایه اکسید سیلیسیمی دفن شده در ادوات SOI، توزیع گرما را به سمت زیر لایه محدود خواهد کرد و این امر باعث تولید گرما و توزیع مجدد آن در این ادوات خواهد شد. اما در ترانزیستور چند لایه‌ای، به دلیل هدایت گرمایی بیشتر Si_3N_4 ، گرما به راحتی به لایه‌های زیرین منتقل شده و از افزایش گرما در کانال می‌کاهد.

در شکل ۵ مشخصه خروجی (جریان درین بر حسب ولتاژ درین-سورس) یک ترانزیستور SOI-MOSFET ساده در

۵- نتیجه گیری

سیلیسیم می‌باشد. با توجه به نتایج شبیه سازی، ساختار ارائه شده راه‌کاری جدید جهت کاهش تأثیرات خودگرمایی ارائه می‌دهد. بنابراین می‌توان انتظار داشت که فناوری SOI همچنان به عنوان یکی از فناوری‌های مطرح در صنعت الکترونیک به ایفای نقش بپردازد.

در این مقاله، برای بهبود اثرات پدیده خودگرمایی ساختار جدید SOI-MOSFET چند لایه‌ای ارائه و شبیه سازی شد. ایده اساسی در ساختار چند لایه‌ای بر مبنای استفاده از مواد با هدایت گرمایی زیاد به جای اکسید

مراجع

- [1] Colinge, J.P. (2004), "Silicon on Insulator Technology: Materials to VLSI". Kluwer Academic Publishers, London.
- [2] Kumar, M.J., Orouji, A.A. (2005), "Two-dimensional analytical threshold voltage model of nanoscale fully depleted SOI MOSFET with electrically induced source/drain extensions". IEEE Trans. Electron Devices, Vol. 52, pp. 1568-1575.
- [3] Chaudhry, A., Kumar, M.J. (2004), "Controlling short-channel effects in deep submicron SOI MOSFETs for improved reliability: A review". IEEE Trans. on Device and Mater. Reliability, Vol. 4, pp. 99-109.
- [4] Kumar, M.J., Orouji, A.A. (2006), "Investigation of a new modified source/drain for diminished self-heating effects in nanoscale MOSFETs using computer simulation". Physica E: Low-dimensional Systems and Nanostructures, Vol. 33, pp. 134-138.
- [5] Zhu, M., Chen, P., Fu, R.K.Y., An, Z., Lin, C., Chu, P.K. (2004), "Numerical study of self-heating effects of MOSFETs fabricated on SOAN substrate". IEEE Trans. on Electron Devices, Vol. 51, pp. 901-906.
- [6] Cole, B., Parke, S. (2003), "A method to overcome self-heating effects in SOI MOSFETs". IEEE University/Government/ Industry Microelectronics Symposium, Proceeding of the 15th Biennial, pp. 295-297.
- [7] Orouji, A.A., Heydari, S., Fathipour, M. (2009), "Double step buried oxide (DSBO) SOI-MOSFET: A proposed structure for improving self-heating effects". Physica E: Low-dimensional Systems and Nanostructures, Vol. 41, pp. 1665-1668.
- [8] Rahimian, M., Orouji, A.A. (2012), "A novel nanoscale MOSFET with modified buried layer for improving of AC performance and self-heating effect". Mater. Sci. in Semiconductor Process., Vol. 15, pp. 445-454.
- [9] MEDICI 4.0 (1997), "Technology Modeling Associates". Palo Alto, CA.
- [10] Dallmann, D.A. (1995), "Scaling constraints imposed by self heating in submicron SOI MOSFETs". IEEE Trans. Electron Devices, Vol. 42, pp. 489-496.

DESIGN AND SIMULATION OF A MULTILAYER SOI-MOSFET STRUCTURE FOR IMPROVING SELF-HEATING EFFECTS

A. A. Orouji^{1,*}, S. Heydari²

1. Electrical Engineering Department, Semnan University, Semnan

*Corresponding Author: aliaorouji@ieee.org

ARTICLE INFO

Keywords:
Field Effect
Transistor,
Silicon On Insulator,
Self-heating effect.

ABSTRACT

In this paper, a new silicon-on-insulator (SOI) device structure is proposed to reduce self-heating effects. Using Si_3N_4 material is main idea in the structure that has high thermal conductivity respect to silicon dioxide. The device has been verified in two-dimensional device simulation. The results show that the structure provides a new path to reduce the temperature of the channel of SOI Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET) and decreases the temperature in the channel.
