

یک سلول چهار ترانزیستوری جدید SRAM با توان مصرفی کم

محمد تقی منظوری

دانشگاه صنعتی شریف، دانشکده مهندسی کامپیوتر

manzuri@sharif.edu

آرش عزیزی مزرعه

دانشگاه آزاد اسلامی، واحد سیرجان

aazizi@iausrjan.ac.ir

سلول می شود و برای بهبود پایداری باید ولتاژ تغذیه این سلول ها را افزایش دهیم [۳]. همچنین می توان از سلول های چهار ترانزیستوری برای کاهش مساحت سلول استفاده کرد [۴]. اما این سلول چهار ترانزیستوری فقط از جریان های ناشی ترانزیستورها برای نگهداری اطلاعات استفاده می کند، در نتیجه این سلول در حالت بیکاری انرژی زیادی را تلف می کند [۵]. در سال های اخیر یک سلول چهار ترانزیستوری با ترانزیستور های PMOS عمودی معرفی شده است [۵]. در این سلول ترانزیستورهای PMOS به صورت عمودی در بالای ترانزیستورهای NMOS سلول ساخته می شوند. برای ساخت ترانزیستورهای PMOS به صورت عمودی نیاز به مراحل اضافی در فرآیند ساخت است، و این باعث افزایش هزینه ساخت سلول می شود [۵]. به علاوه سلول های ذکر شده از ولتاژ تفاضلی برای نوشتن و خواندن استفاده می کنند، و در نتیجه همواره یک تغییر روی یکی از خطوط داده سلول وجود دارد، و این باعث افزایش انرژی مصرفی پویا می شود.

در این مقاله یک سلول جدید چهار ترانزیستوری ارائه شده است. این سلول از دو ترانزیستور PMOS و دو ترانزیستور NMOS و یک Bit-Line استفاده می کند. این سلول باعث کاهش ۲۵ درصدی مساحت نسبت به سلول شش ترانزیستوری پایه می شود. سلول جدید از مسیر فیدبک و جریان های ناشی ترانزیستورها برای نگهداری اطلاعات استفاده می کند. به علاوه این سلول جدید انرژی کمتری نسبت به سلول شش ترانزیستوری پایه در طول فرآیند خواندن یا نوشتن مصرف می کند.

2- طراحی سلول جدید

شکل (۱) شماتیک مداری سلول جدید را در تکنولوژی $0.25\mu\text{m}$ نمایش می دهد. این سلول از یک ترانزیستور PMOS به عنوان ترانزیستور دستیابی استفاده می کند. هسته ذخیره سازی اطلاعات در این سلول از سه ترانزیستور تشکیل شده است. اطلاعات در این سلول توسط مسیر فیدبک و جریان ناشی ترانزیستورها نگهداری می شود.

در زمانی که داده 0^{\sim} در سلول ذخیره شده است، ولتاژ گره ST پایین است. در این حالت ترانزیستور M4 روشن است و گره STB را در ولتاژ بالا نگه می دارد. در نتیجه ترانزیستور M2 نیز روشن است و گره

چکیده: این مقاله یک سلول چهار ترانزیستوری CMOS جدید SRAM را ارائه می دهد. از این سلول می توان در SRAM ها با تراکم بسیار بالا و توان مصرفی کم استفاده کرد. سلول جدید از یک Bit-Line و یک Line استفاده می کند، و داده خود را با استفاده از مسیر فیدبک و جریان ناشی ترانزیستور ها بدون استفاده از سیکل تازه سازی نگهداری می کند. در قوانین طراحی Layout یکسان، سلول جدید ۲۵ درصد مساحت کمتری را نسبت به سلول شش ترانزیستوری پایه اشغال می کند. انرژی مصرفی پویای سلول ارائه شده و سلول شش ترانزیستوری پایه به صورت تحلیلی مورد بررسی قرار گرفته اند، سلول جدید ۶۰ درصد انرژی مصرفی پویای کمتری نسبت به سلول پایه دارد. به علاوه سلول جدید و سلول شش ترانزیستوری پایه در تکنولوژی $0.25\mu\text{m}$ استاندارد با HSPICE ۲۰۰۶ شبیه سازی شده اند. نتایج شبیه سازی نشان می دهد که سلول جدید به درستی کار می کند و کارایی مناسبی در مقایسه با سلول شش ترانزیستوری پایه دارد می باشد. همچنین نتایج شبیه سازی نشان می دهد که عبارت های تحلیلی به دست آمده دارای دقت مناسبی می باشند.

واژه های کلیدی: سلول جدید، سلول شش ترانزیستوری، عمل نوشتن، عمل خواندن، انرژی مصرفی پویا.

1- مقدمه

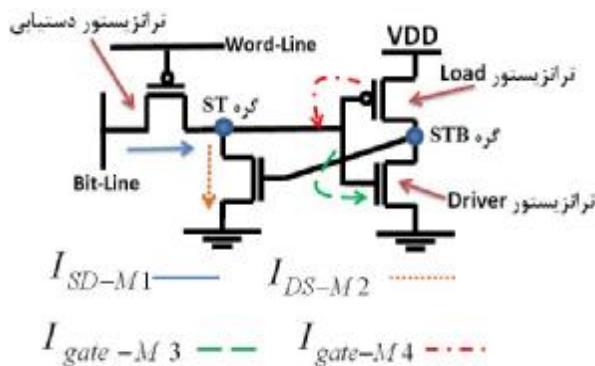
SRAM ها در کاربرد های متحرک بسیار مورد استفاده قرار می گیرد، زیرا دارای انرژی مصرفی کمی در حالت بیکاری هستند. به طور معمول از سلول های شش ترانزیستوری در SRAM ها استفاده می شود [۱][۲]. استفاده از سلول های شش ترانزیستوری باعث کاهش تراکم SRAM ها می شود، زیرا که سلول های شش ترانزیستوری مساحت زیادی را اشغال می کنند. بنابراین SRAM هایی که از سلول های شش ترانزیستوری استفاده می کنند به سختی پاسخ گوی تقاضای افزایش اندازه حافظه هستند. در پاسخ به نیاز افزایش حافظه هدف ما طراحی یک سلول برای SRAM ها است، به طوری که سلول جدید مساحت کمتری را نسبت به سلول شش ترانزیستوری اشغال کند. از سلول با ترانزیستور های بار thin-film برای کاهش مساحت سلول ها استفاده می شود. اما استفاده از این سلول ها منجر به کاهش پایداری

در زمانی که عمل نوشتن روی سلول در حال انجام است، سلول مراحل زیر طی می کند.

- قرار گرفتن داده روی Bit-Line : داده ای که باید در سلول نوشته شود توسط مدار نوشتن روی Bit-Line قرار می گیرد.
- فعال سازی Word-Line : در این مرحله با فعال سازی خط Word-Line ترانزیستور PMOS دستیابی روشن می شود، و داده موجود روی Bit-Line را به گره ST انتقال می دهد.
- تغییر حالت سلول : این مرحله شامل دو حالت زیر است.
 - (الف) - داده قرار گرفته روی Bit-Line برابر با ۱ باشد : در این حالت ولتاژ گره ST توسط ترانزیستور PMOS دستیابی به ولتاژ سطح پایین کشیده می شود. در نتیجه ترانزیستور M4 روشن می شود و ولتاژ گره STB را به سطح بالا می کشد، و این باعث روشن شدن ترانزیستور M2 می گردد. به این ترتیب یک مسیر فیدبک توسط ترانزیستور های M2 و M4 به وجود می آید، و داده ۱ در سلول ذخیره می شود.

(ب) - داده قرار گرفته روی Bit-Line برابر با ۰ باشد : در این حالت ولتاژ گره ST توسط ترانزیستور PMOS دستیابی به ولتاژ سطح بالا کشیده می شود. در نتیجه ترانزیستور M3 روشن می شود و ولتاژ گره STB را به سطح پایین می کشد.

- غیر فعال سازی Word-Line : در انتهای عمل نوشتن Word-Line غیر فعال می شود و ولتاژ Bit-Line و Word-Line به حالت بیکاری تغییر مقدار می دهند. ما از $V_{WL-idle}$ برای نمایش ولتاژ Word-Line در حالت بیکاری استفاده می کنیم.

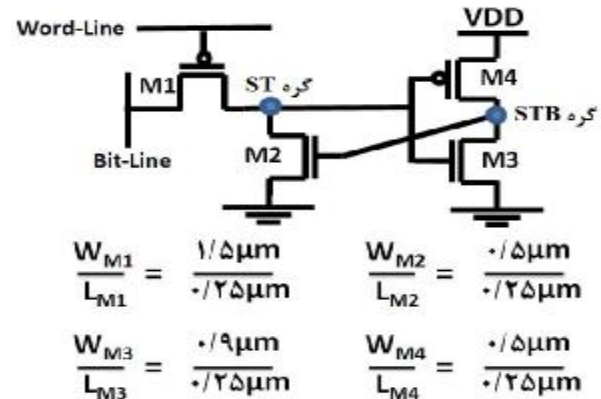


شکل (۲): جریان های ناشی سلول زمانی که داده ۱ در سلول ذخیره شده

2-2 فرآیند خواندن در سلول جدید

در زمانی که عمل خواندن روی سلول در حال انجام است، سلول مراحل زیر طی می کند.

ST را در ولتاژ پایین نگه می دارد. به این ترتیب یک مسیر فیدبک توسط ترانزیستورهای M2 و M4 به وجود می آید و داده ۰ در سلول ذخیره می شود.



شکل (۱): شماتیک مداری سلول جدید و اندازه ترانزیستور های آن

در زمانی که داده ۱ در سلول ذخیره شده است، ولتاژ گره ST بالا است. در این حالت ترانزیستور M3 روشن است و گره STB را در ولتاژ پایین نگه می دارد. در نتیجه ترانزیستور M2 خاموش است. برای آن که ولتاژ گره ST در ولتاژ بالا نگه داشته شود، در حالت بیکاری (زمانی که عملیات خواندن یا نوشتن روی سلول انجام نمی شود و سلول در حالت ذخیره سازی است) ولتاژ Bit-Line در سطح V_{DD} نگه داشته می شود، و ترانزیستور PMOS دستیابی را در حالت خاموشی ضعیف قرار می دهیم. به این ترتیب یک جریان از V_{DD} به گره ST از طریق ترانزیستور دستیابی برقرار می شود و ولتاژ گره ST در سطح بالا نگه داشته می شود. شکل (۲) جریان های ناشی را در این حالت نمایش می دهد. همان طور که از شکل (۲) مشخص است برای نگهداری ولتاژ گره ST در سطح بالا نامساوی (۱) باید برقرار شود.

$$I_{SD-M1} + I_{gate-M4} > I_{DS-M2} + I_{gate-M3} \quad (1)$$

که در نامساوی (۱)، I_{SD-M1} جریان سورس-درین ترانزیستور M1 است، $I_{gate-M4}$ جریان ناشی گیت ترانزیستور M4 است، I_{DS-M2} جریان درین-سورس ترانزیستور M2 است و $I_{gate-M3}$ جریان ناشی گیت ترانزیستور M3 است. بنابراین ولتاژ گیت ترانزیستور PMOS دستیابی در حالت بیکاری طوری باید تعیین شود که نامساوی (۱) برقرار باشد تا داده ۱ بدون نیاز به سیکل تازه سازی در داخل سلول ذخیره شود. به علاوه برای برقراری نامساوی (۱) لازم است که ولتاژ Bit-Line در حالت بیکاری در سطح V_{DD} نگه داشته شود. اندازه ترانزیستور ها در این سلول طوری انتخاب شده اند که در زمان نوشتن، داده حتماً در داخل سلول جدید نوشته شود و در زمان خواندن محتویات آن عوض نشود.

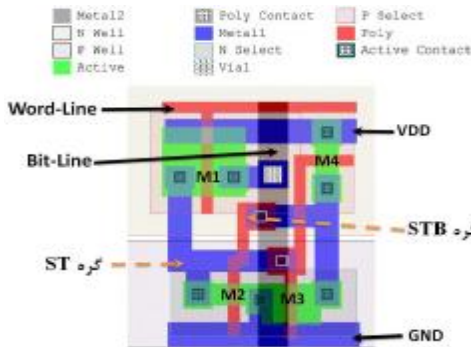
1-2 فرآیند نوشتن در سلول جدید

3- کاهش مساحت توسط سلول جدید

شکل (۵) Layout یک سلول جدید را نمایش می دهد. این Layout در تکنولوژی $0.25\mu\text{m}$ استاندارد طراحی شده است. به منظور مقایسه مساحت اشغال شده توسط سلول جدید و سلول شش ترانزیستوری پایه، Layout سلول شش ترانزیستوری پایه در تکنولوژی $0.25\mu\text{m}$ استاندارد طراحی شده است. Layout طراحی شده برای سلول شش ترانزیستوری پایه دارای توپولوژی استاندارد است و تا حد ممکن به صورت فشرده طراحی شده است تا مساحت کمتری را اشغال کند. در شکل (۶) Layout سلول جدید و سلول شش ترانزیستوری پایه از لحاظ مساحت با هم مقایسه شده اند. سلول جدید مساحت $19/5\mu\text{m}^2$ را اشغال می کند در صورتی که سلول شش ترانزیستوری پایه مساحت $26\mu\text{m}^2$ را اشغال می کند. بنابراین سلول جدید باعث کاهش ۲۵ درصدی مساحت اشغال شده می شود.



شکل (۴): نمودار حالت تغییرات ولتاژ Word-Line



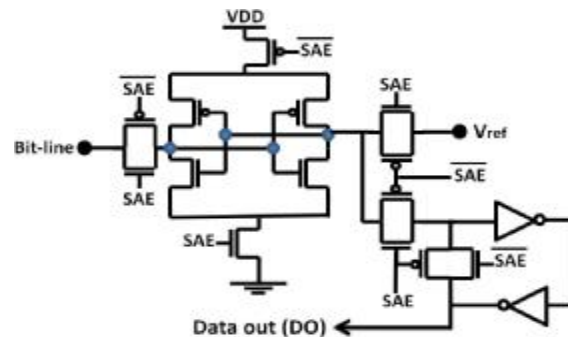
شکل (۵): Layout سلول جدید در تکنولوژی $0.25\mu\text{m}$ استاندارد

- شارژ کردن Bit-Line به V_{DD} : در ابتدا عمل خواندن خط Bit-Line به V_{DD} شارژ می شود و سپس در حالت امیدانس بالا شناور می شود.
- فعال سازی Word-Line: در این مرحله با فعال سازی خط Word-Line ترانزیستور PMOS دستیابی روشن می شود و داده موجود روی گره ST را به Bit-Line انتقال می دهد. برای آنکه در طول فعال سازی Word-Line به منظور انجام عمل خواندن، محتویات سلول تغییر نکند، در هنگام فعال سازی Word-Line، ولتاژ آن را بیشتر از سطح GND انتخاب می کنیم به طوری که ترانزیستور PMOS دستیابی به صورت ضعیف روشن شود، و باعث تغییر داده موجود در سلول نشود. ما از $V_{WL-Read}$ برای نمایش این ولتاژ استفاده می کنیم.
- خواندن داده موجود روی Bit-Line: خواندن داده قرار گرفته شده روی Bit-Line توسط تقویت کننده حسی انجام می گیرد. تقویت کننده حسی که این سلول از آن استفاده می کند، دارای دو ورودی است، که یکی به ولتاژ مرجع (V_{Ref}) وصل است و دیگری به Bit-Line وصل است. شماتیک مداری این تقویت کننده حسی در شکل (۳) نمایش داده شده است. نحوه کار این تقویت کننده به صورت زیر است.

If $V_{Bit-Line} > V_{Ref}$ then Data out='1'

If $V_{Bit-Line} < V_{Ref}$ then Data out='0'

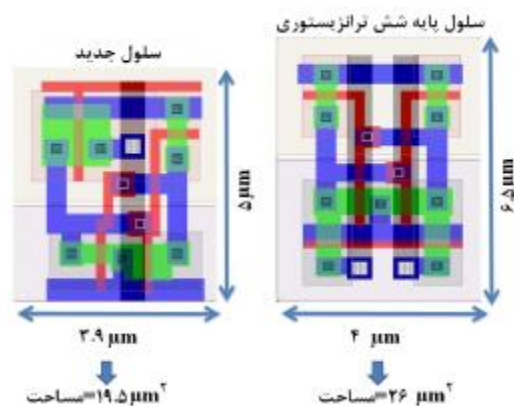
مقدار ولتاژ مرجع (V_{Ref}) به عواملی مانند مدت زمان فعال بودن Word-Line، اندازه ترانزیستور PMOS دستیابی و اندازه SRAM که سلول جدید در آن استفاده شده است بستگی دارد. در شکل (۴) تغییرات ولتاژ Word-Line به صورت یک دیگرام حالت نمایش داده شده است. همانطور ولتاژ که از شکل (۴) مشخص است ولتاژ Word-Line در زمانی تغییر می کند که یک عمل نوشتن یا خواندن روی سلول انجام شود.



شکل (۳): شماتیک مداری تقویت کننده حسی که داده را از سلول می خواند (SAE) فعال ساز تقویت کننده حسی است و DO داده خوانده شده از سلول است

شامل خازن Bit-Line، خازن Word-Line، خازن ST و خازن STB هستند. خازن Bit-Line ناشی از خازن پیوندی ترانزیستور های دستیابی سلول است و خازن Word-Line ناشی از خازن گیت ترانزیستور های دستیابی سلول است و خازن های ST و STB ناشی از خازن گیت و خازن پیوندی ترانزیستور های تشکیل دهنده سلول هستند. لیست متغیر هایی و که در این تحلیل مورد استفاده قرار می گیرند در جدول (۱) آورده شده است. همچنین یکسری عبارت ریاضی برای محاسبه خازن های پارازیتی موجود در ساختار سلول پایه و سلول جدید در جدول (۲) آورده شده است.

در زمانی که یک عمل نوشتن روی یک سلول شش ترانزیستوری پایه در حال انجام است تغییرات زیر روی Word-Line، Bit-Line و گره های ST و STB رخ می دهد.



شکل (۶): مقایسه مساحت اشغال شده توسط سلول جدید و سلول پایه شش ترانزیستوری

۴- تحلیل انرژی مصرفی پویا

انرژی مصرفی در یک سلول SRAM شامل دو مؤلفه انرژی مصرفی ایستا و انرژی مصرفی پویا است. انرژی مصرفی ایستا ناشی از جریان های ناشی ترانزیستور های تشکیل دهنده سلول است و انرژی مصرفی پویا ناشی از شارژ و دشارژ شدن خازن های پارازیتی موجود در سلول است. در هر سیکل از عمل کرد سلول، یک عمل خواندن یا نوشتن روی سلول انجام می شود. در طول هر عمل خواندن یا نوشتن خازن های پارازیتی موجود در ساختار SRAM شارژ یا دشارژ می شوند. بنابراین در هر سیکل از عمل کرد سلول SRAM مقداری انرژی از منبع تغذیه کشیده شده و تلف می شود.

زمانی که یک خازن با مقدار C_L از سطح ولتاژ زمین (GND) به سطح ولتاژ V_{DD} شارژ می شود و سپس دوباره به سطح ولتاژ زمین دشارژ می شود، مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر با $C_L V_{DD}^2$ است [۶]. به علاوه انرژی ذخیره شده در یک خازن با مقدار C_L و ولتاژ V_C برابر است با $\frac{1}{2} C_L V_C^2$. بنابراین زمانی که یک خازن با مقدار C_L از سطح ولتاژ V_C به سطح ولتاژ V_{DD} شارژ می شود و دوباره به سطح ولتاژ V_C دشارژ می شود مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود از رابطه (۱) به دست می آید.

$$E_{Supply} = C_L (V_{DD}^2 - V_C^2) \quad (1)$$

در ادامه به بررسی انرژی مصرفی پویای هر سیکل سلول جدید و سلول پایه شش ترانزیستوری می پردازیم.

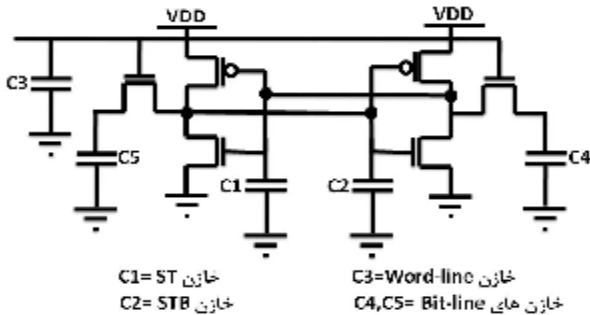
۱-۴ انرژی مصرفی پویا در سلول شش ترانزیستوری

پایه

شکل (۷) خازن های پارازیتی موجود در یک سلول شش ترانزیستوری پایه نمایش می دهد. همانطور که از شکل مشخص است، چهار خازن پارازیتی در سلول شش ترانزیستوری پایه وجود دارد که این خازن ها

جدول (۱): متغیر های به کار رفته در تحلیل انرژی مصرفی پویا

نماد متغیرها	توضیحات
C_{BL-6T}, C_{BL-4T}	خازن Bit-Line سلول جدید و پایه
C_{WL-6T}, C_{WL-4T}	خازن Word-Line سلول جدید و پایه
C_{ST-6T}, C_{ST-4T}	خازن گره ST در سلول پایه و جدید
C_{STB-6T}, C_{STB-4T}	خازن گره STB در سلول پایه و جدید
$C_{J-AC-6T}$	خازن پیوندی ترانزیستور دستیابی سلول پایه
$C_{J-AC-4T}$	خازن پیوندی ترانزیستور دستیابی سلول جدید
W_{AC-6T}	عرض کانال ترانزیستور دستیابی سلول پایه
W_{AC-4T}	عرض کانال ترانزیستور دستیابی سلول جدید
L_{AC-6T}	طول کانال ترانزیستور دستیابی سلول پایه
L_{AC-4T}	طول کانال ترانزیستور دستیابی سلول جدید
C_{g-D-6T}, C_{g-D-4T}	خازن گیت ترانزیستور های Driver در سلول جدید و پایه
C_{g-L-6T}, C_{g-L-4T}	خازن گیت ترانزیستور های Load در سلول جدید و پایه
C_{J-D-6T}, C_{J-D-4T}	خازن پیوندی درین ترانزیستور های Driver در سلول جدید و پایه
C_{J-L-6T}, C_{J-L-4T}	خازن پیوندی درین ترانزیستور های Load در سلول جدید و پایه
C_{g-P}	خازن گیت ترانزیستور های PMOS در واحد سطح $(1nm^2)$
C_{g-N}	خازن گیت ترانزیستور های NMOS در واحد سطح $(1nm^2)$
W_{L-6T}, W_{L-4T}	عرض کانال ترانزیستور Load سلول پایه و جدید



شکل (۷): خازن های موجود در سلول شش ترانزیستوری پایه

در زمانی که یک عمل خواندن روی یک سلول شش ترانزیستوری پایه در حال انجام است تغییرات زیر روی Bit-Line و Word-Line رخ می دهد.

- Word-Line از سطح ولتاژ زمین به سطح ولتاژ V_{DD} شارژ می شود و دوباره به سطح ولتاژ زمین دشارژ می شود [۷]. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $C_{WL-6T} V_{DD}^2$.
- یکی از خطوط Bit-Line از سطح ولتاژ V_{DD} به سطح ولتاژ V_{Read} دشارژ می شود و دوباره به سطح ولتاژ V_{DD} شارژ می شود [۷]. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است $C_{BL-6T} (V_{DD}^2 - V_{Read}^2)$. توجه شود که V_{Read} ولتاژ Bit-Line، بعد از غیر فعال سازی Word-Line است.

بنابراین بر اساس تغییرات ولتاژ که در طول عمل خواندن رخ می دهد، مقدار انرژی که در یک عمل خواندن تلف می شود از رابطه (۳) به دست می آید.

$$E_{Read-6T} = C_{WL-6T} V_{DD}^2 + C_{BL-6T} (V_{DD}^2 - V_{Read}^2) \quad (3)$$

و اگر احتمال انجام عمل خواندن در یک سیکل برابر با P_{Read} با احتمال انجام عمل نوشتن در یک سیکل برابر با P_{Write} مقدار انرژی مصرفی در یک سیکل از رابطه (۴) بدست می آید.

$$E_{Cycle-6T} = P_{Write} \times E_{Write-6T} + P_{Read} \times E_{Read-6T} \quad (4)$$

2-4 انرژی مصرفی پویا در سلول جدید

شکل (۸) خازن های پارازیتی موجود در یک سلول جدید را نمایش می دهد. همانطور که از شکل مشخص است، چهار خازن پارازیتی در سلول جدید وجود دارد که این خازن ها شامل خازن Bit-Line، خازن Word-Line، خازن ST و خازن STB هستند. خازن Bit-Line ناشی از خازن پیوندی ترانزیستور های دستیابی سلول است و خازن Word-Line ناشی از خازن گیت ترانزیستور دستیابی سلول است. خازن های ST و STB ناشی از خازن گیت و خازن پیوندی ترانزیستور های

L_{L-6T}, L_{L-4T}	طول کانال ترانزیستور Load سلول پایه و جدید
W_{D-6T}, W_{D-4T}	عرض کانال ترانزیستور Driver سلول پایه و جدید
L_{D-6T}, L_{D-4T}	طول کانال ترانزیستور Driver سلول پایه و جدید
C_{J-N}	خازن پیوندی ترانزیستور های NMOS در واحد سطح $(1nm^2)$
C_{J-P}	خازن پیوندی ترانزیستور های PMOS در واحد سطح $(1nm^2)$
C_{J-P-SW}	خازن دیواره ای ترانزیستور های PMOS در واحد طول $(1nm)$
C_{J-N-SW}	خازن دیواره ای ترانزیستور های NMOS در واحد طول $(1nm)$

- Word-Line از سطح ولتاژ زمین به سطح ولتاژ V_{DD} شارژ می شود و دوباره به سطح ولتاژ زمین دشارژ می شود [۷]. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $C_{WL-6T} V_{DD}^2$.
 - یکی از خطوط Bit-Line از سطح ولتاژ V_{DD} به سطح ولتاژ زمین دشارژ می شود و دوباره به سطح ولتاژ V_{DD} شارژ می شود [۷]. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است $C_{BL-6T} V_{DD}^2$.
 - یکی از دو گره ST یا STB از سطح ولتاژ V_{DD} به سطح ولتاژ زمین دشارژ می شود، و همچنین یکی از دو گره ST یا STB از سطح ولتاژ زمین به سطح ولتاژ V_{DD} شارژ می شود [۷]. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $\frac{1}{2} \times C_{ST-6T} V_{DD}^2 + \frac{1}{2} \times C_{STB-6T} V_{DD}^2$.
- بنابراین بر اساس تغییرات ولتاژ که در طول عمل نوشتن رخ می دهد، مقدار انرژی که در یک عمل نوشتن تلف می شود از رابطه (۲) به دست می آید.

$$E_{Write-6T} = C_{WL-6T} V_{DD}^2 + C_{BL-6T} V_{DD}^2 + \frac{1}{2} \times C_{ST-6T} V_{DD}^2 + \frac{1}{2} \times C_{STB-6T} V_{DD}^2 \quad (2)$$

در زمانی که عمل خواندن روی یک سلول جدید در حال انجام است در بدترین حالت تغییرات زیر روی Bit-Line و Word-Line رخ می دهد.

- Word-Line از سطح ولتاژ $V_{WL-Idle}$ به سطح ولتاژ $V_{WL-Read}$ دچار شارژ می شود و دوباره به سطح ولتاژ $V_{WL-Idle}$ شارژ می شود. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر با $C_{WL-4T}(V_{WL-Idle}^2 - V_{WL-Read}^2)$ است.
- Bit-Line از سطح ولتاژ V_{DD} به سطح ولتاژ $V_{Read-4T}$ دچار شارژ می شود و دوباره به سطح ولتاژ V_{DD} شارژ می شود. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $C_{BL-4T}(V_{DD}^2 - V_{Read-4T}^2)$. توجه شود که $V_{Read-4T}$ ولتاژ Bit-Line، بعد از غیر فعال سازی Word-Line است. بنابراین بر اساس تغییرات ولتاژ که در طول عمل خواندن رخ می دهد، مقدار انرژی که در یک عمل خواندن تلف می شود از رابطه (۶) به دست می آید.

$$E_{Read-4T} = C_{WL-4T}(V_{WL-Idle}^2 - V_{WL-Read}^2) + C_{BL-4T}(V_{DD}^2 - V_{Read-4T}^2) \quad (6)$$

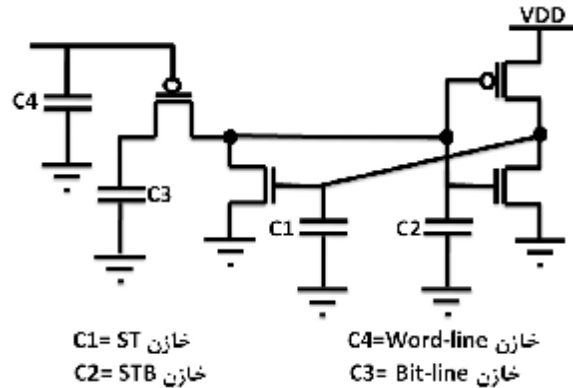
و اگر احتمال انجام عمل خواندن در یک سیکل برابر با P_{Read} با احتمال انجام عمل نوشتن در یک سیکل برابر با P_{write} مقدار انرژی مصرفی در یک سیکل از رابطه (۷) بدست می آید.

$$E_{Cycle-4T} = P_{Write} \times E_{Write-4T} + P_{Read} \times E_{Read-4T} \quad (7)$$

جدول (۲): عبارت های ریاضی برای تخمین خازن های پارازیتی

خازن	عبارت ریاضی
C_{BL-6T}	$C_{J-AC-6T}$
$C_{J-AC-6T}$	$W_{AC-6T} 2.5 L_{AC-6T} C_{J-N} + C_{J-SW-N} (5L_{AC-6T} + W_{AC-6T})$
C_{WL-6T}	$2 \times (C_{g-AC-6T} \times W_{AC-6T} \times L_{AC-6T})$
C_{ST-6T} ، C_{STB-6T}	$C_{g-L-6T} + C_{g-D-6T} + C_{J-L-6T} + C_{J-D-6T} + C_{J-AC-6T}$
C_{J-L-6T}	$W_{L-6T} 2.5 L_{L-6T} C_{J-N} + C_{J-SW-N} (5L_{L-6T} + W_{L-6T})$
C_{J-D-6T}	$W_{D-6T} 2.5 L_{D-6T} C_{J-N} + C_{J-SW-N} (5L_{D-6T} + W_{D-6T})$

تشکیل دهنده سلول هستند. عبارت ریاضی برای محاسبه خازن های پارازیتی موجود در ساختار سلول جدید در جدول (۲) آورده شده است.



شکل (۸): خازن های موجود در سلول جدید.

بر اساس فرآیند خواندن و نوشتن معرفی شده برای سلول جدید در زمانی که یک عمل نوشتن روی یک سلول جدید در حال انجام است، در بدترین حالت تغییرات زیر روی Word-Line، Bit-Line و گره های ST و STB رخ می دهد.

- Word-Line از سطح ولتاژ $V_{WL-Idle}$ به سطح ولتاژ زمین دچار شارژ می شود و دوباره به سطح ولتاژ $V_{WL-Idle}$ شارژ می شود. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $C_{WL-4T}V_{WL-Idle}^2$
 - Bit-Line از سطح ولتاژ V_{DD} به سطح ولتاژ زمین دچار شارژ می شود و دوباره به سطح ولتاژ V_{DD} شارژ می شود. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $C_{BL-4T}V_{DD}^2$.
 - یکی از دو گره ST یا STB از سطح ولتاژ V_{DD} به سطح ولتاژ زمین دچار شارژ می شود، و همچنین یکی از دو گره ST یا STB از سطح ولتاژ زمین به سطح ولتاژ V_{DD} شارژ می شود. بنابراین مقدار انرژی که از منبع تغذیه کشیده شده و تلف می شود برابر است با $\frac{1}{2} \times C_{ST-4T}V_{DD}^2 + \frac{1}{2} \times C_{STB-4T}V_{DD}^2$.
- بنابراین بر اساس تغییرات ولتاژی که در طول عمل نوشتن رخ می دهد، مقدار انرژی که در یک عمل نوشتن تلف می شود از رابطه (۵) به دست می آید.

$$E_{Write-4T} = C_{WL-4T}V_{WL-Idle}^2 + C_{BL-4T}V_{DD}^2 + \frac{1}{2} \times C_{ST-4T}V_{DD}^2 + \frac{1}{2} \times C_{STB-4T}V_{DD}^2 \quad (5)$$

شکل (۹): مقایسه انرژی مصرفی پویای سلول جدید و سلول پایه

جدول (۳): مقادیر پارامترهای استفاده شده در عبارت های تحلیلی

متغیر	مقدار
C_{J-N}	$2 \text{ fF} / \text{mm}^2$
C_{J-P}	$1/9 \text{ fF} / \text{mm}^2$
C_{J-N-SW}	$0.28 \text{ fF} / \text{mm}$
C_{J-P-SW}	$0.22 \text{ fF} / \text{mm}$
C_{g-P}, C_{g-N}	$0.073 \text{ pF} / \text{mm}^2$
$V_{WL-Idle}$	۱/۸ ولت
$V_{WL-Read}$	۰/۵ ولت
$V_{Read-4T}, V_{Read}$	۲/۱ ولت
V_{DD}	۲/۵ ولت
P_{write}, P_{write}	۰/۵

5- نتایج شبیه سازی

به منظور بررسی عمل کرد سلول جدید و مقایسه کارایی آن با سلول شش ترانزیستوری پایه، این سلول و سلول پایه در تکنولوژی استاندارد $0.125\mu\text{m}$ توسط 2006 HSPICE شبیه سازی شده اند. همچنین بر اساس Layout های موجود در شکل (۶) تمام خازن ها و مقاومت های پارازیتی در شبیه سازی در نظر گرفته شده اند. در این شبیه سازی V_{DD} برابر با $2/5$ ولت است و زمانی که سلول در حالت بیکاری است برای آنکه نامساوی (۱) برقرار باشد ولتاژ گیت در مقدار $1/8$ ولت نگهداری می شود. همچنین برای آنکه در طول فرایند خواندن محتویات سلول خراب نشوند از ولتاژ 0.5 ولت در زمان فعال سازی Word-Line استفاده شده است، در عمل نوشتن زمانی که Word-Line فعال می شود ولتاژ آن برابر با زمین است.

برای بررسی عمل کرد درست سلول جدید از سناریوهای زیر در شبیه سازی استفاده شده است.

- نوشتن داده ۰ در سلول جدید و خواندن آن از سلول.
- نوشتن داده ۱ در سلول جدید و خواندن آن از سلول.

شکل موج موجود در شکل (۱۰) و شکل (۱۱) حاصل از اعمال سناریو های بالا هستند، همانطور که از شکل (۱۰) و شکل (۱۱) مشخص است آیین سلول به درستی کار می کند.

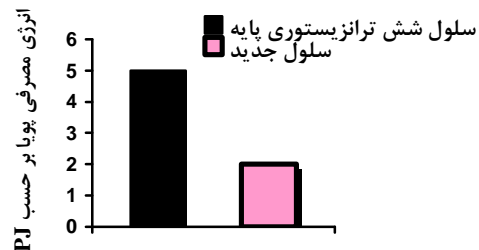
انرژی مصرفی پویا و تأخیر خواندن و نوشتن سلول جدید و سلول پایه در این شبیه سازی ها اندازه گرفته شده است. بر اساس این اندازه گیری ها، جدول (۴) سلول جدید را با سلول پایه مقایسه می کند. همانطور که از جدول (۴) مشخص است انرژی مصرفی پویا سلول جدید در صد کمتر از انرژی مصرفی پویا سلول پایه است، بنابراین

C_{g-L-6T}	$C_{g-P} \times W_{L-6T} \times L_{L-6T}$
C_{g-D-6T}	$C_{g-N} \times W_{D-6T} \times L_{D-6T}$
C_{BL-4T}	$C_{J-AP-4T}$
$C_{J-AC-4T}$	$W_{AC-4T} \times 2.5 L_{AC-4T} \times C_{J-N}$ $+ C_{J-SW-N} (5L_{AC-4T} + W_{AC-4T})$
C_{WL-4T}	$C_{g-P} \times W_{AC-4T} \times L_{AC-4T}$
C_{ST-4T}	$C_{g-L-4T} + C_{g-D-4T} + C_{J-AC-4T} + C_{J-D-4T}$
C_{STB-4T}	$C_{g-D-4T} + C_{J-L-4T} + C_{J-D-4T}$
C_{g-L-4T}	$C_{g-P} \times W_{L-4T} \times L_{L-4T}$
C_{g-D-4T}	$C_{g-N} \times W_{D-4T} \times L_{D-4T}$
C_{J-D-4T}	$W_{D-4T} \times 2.5 L_{D-4T} \times C_{J-N}$ $+ C_{J-SW-N} (4L_{D-4T} + W_{D-4T})$
C_{J-L-4T}	$W_{L-4T} \times 2.5 L_{L-4T} \times C_{J-P}$ $+ C_{J-SW-P} 4L_{L-4T} + W_{L-4T}$

3-4 مقایسه انرژی مصرفی پویا سلول جدید و سلول

شش ترانزیستوری پایه

انرژی مصرفی هر سیکل سلول شش ترانزیستوری پایه که از رابطه (۴) به دست می آید با انرژی مصرفی هر سیکل سلول جدید که از رابطه (۷) به دست می آید مقایسه شده است، شکل (۹) این مقایسه نشان می دهد. مقدار پارامترهایی که در این مقایسه استفاده شده است از تکنولوژی استاندارد $0.125\mu\text{m}$ استخراج شده اند، در جدول (۳) مقدار این پارامترها آورده شده است. همانطور که از شکل (۹) مشخص است، انرژی مصرفی پویای تحلیلی سلول جدید ۶۰ درصد کمتر از سلول پایه است. دلیل این کاهش انرژی مصرفی پویا در سلول جدید این است که، تغییرات ولتاژ روی Word-Line در سلول جدید نسبت به سلول پایه کاهش یافته است. به علاوه چون تعداد ترانزیستور های سلول جدید کمتر از سلول پایه است، مقدار خازن های پارازیتی موجود در سلول جدید تقریباً کمتر از سلول پایه است.



6- نتیجه گیری

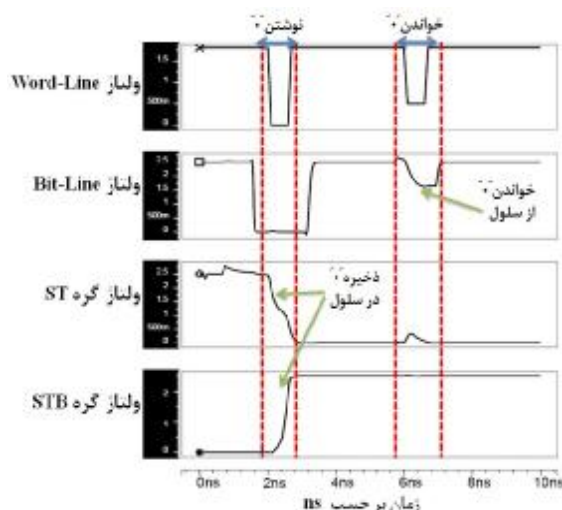
برای طراحی SRAM ها با تراکم بالا و توان مصرفی کم به سلول هایی نیاز است که مساحت کمی از سطح تراشه را اشغال کنند و در طول عمل خواندن یا نوشتن انرژی کمی را از منبع تغذیه مصرف کنند. برای رسیدن به این SRAM ها ما در این مقاله یک سلول جدید ارائه کردیم که از چهار ترانزیستور تشکیل شده است. این سلول جدید دارای یک Word-Line و یک Bit-Line است و داده خود را بدون استفاده سیکل های تازه سازی نگهداری می کند. سلول جدید ۲۵ درصد مساحت کمتری نسبت به سلول شش ترانزیستوری پایه اشغال می کند و انرژی مصرفی پویایی تحلیلی آن ۶۰ درصد کمتر از سلول پایه شش ترانزیستوری است. همچنین شبیه سازی های انجام شده در تکنولوژی ۰/۲۵ μm استاندارد نشان می دهد که سلول جدید به درستی کار می کند و نتایج تحلیلی دارای دقت مناسبی هستند.

7- مراجع

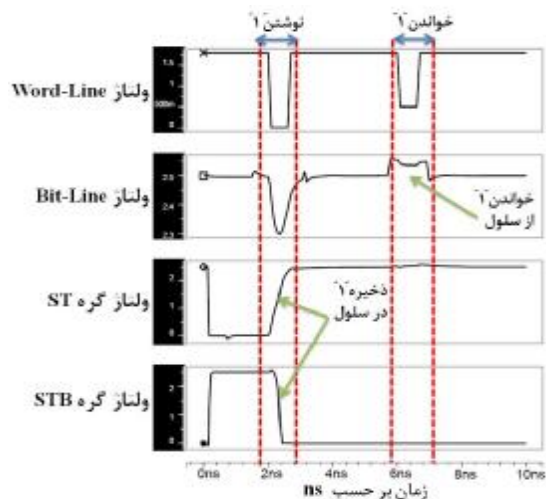
[۱] عزیزی مزرعه، آرش، منظوری، محمد تفی، تحلیل و طراحی یک SRAM کم مصرف، کنفرانس مهندسی برق ایران، دوره پانزده ام، مرکز تحقیقات مخابرات ایران، ۱۳۸۶.

- [2] Amelifard, B., Fallah, F., Pedram M., "Low-leakage SRAM design with dual Vt transistors", 7th Int'l Symp. on Quality of Electronic Designs, 2006.
- [3] Yamanaka, T., Hashimoto, T., Hasegawa, N., Tanaka, T., Hashimoto, N., Shimizu, A., Ohki, N., Ishibashi, K., Sasaki, K., Nishida, T., Mine, T., Takeda, E., and Nagano, T., "Advanced TFT SRAM cell technology using a phase-shift lithography," *IEEE Trans. Electron. Devices*, vol. 42, no. 7, Jul. 1995.
- [4] Noda, K., Matsui, K., Imai, K., Takeda, K., and Nakamura, N., "A loadless CMOS four-transistor SRAM cell in a 0.18- μm logic technology," *IEEE Trans. Electron. Devices*, vol. 48, no. 12, Dec. 2001.
- [5] Kotabe, A., Osada, K., Kitai, N., Fujioka, M., Kamohara, S., Moniwa, M., Morita, S., and Saitoh, Y., "A Low-Power Four-Transistor SRAM Cell With a Stacked Vertical Poly-Silicon PMOS and a Dual-Word-Voltage Scheme," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, April 2005.
- [6] Rabaey, J. M., Chandrakasan, A., and Nikolic, B., *Digital Integrated Circuits: A Design Perspective*, 2nd ed., Prentice Hall, 2002.
- [7] Martin, K., *Digital Integrated Circuit Design*, New York, Oxford University Press, 2000.

نتایج تحلیلی به دست آمده در قسمت های قبل دارای دقت مناسبی هستند. در نتیجه از عبارت های تحلیلی به دست آمده می توان در شبیه سازی و طراحی سلول جدید و سلول پایه استفاده کرد. همچنین از جدول (۴) مشخص است که سلول جدید ۱۰ درصد کندتر از سلول پایه است.



شکل (۱۰): شکل موج حاصل از نوشتن و خواندن آن



شکل (۱۱): شکل موج حاصل از نوشتن و خواندن آن

جدول (۴): مقایسه سلول جدید و پایه از طریق شبیه سازی

انرژی مصرفی در هر سیکل	مساحت اشغال شده	تاخیر خواندن و نوشتن	سلول جدید
۵۳٪ کمتر	۲۵٪ کمتر	۱۰٪ کندتر	