

طراحی و آنالیز گیت منطقی توان پائین و سرعت بالای NAND با تکنیک جدید DyMCML

افسانه حق‌نگهدار
دانش آموخته کارشناس ارشد برق-الکترونیک
دانشگاه علم و صنعت ایران
گروه صنایع امنیت فاوا- صایران
H_haghnegahdar@yahoo.com

ستار میرزا کوچکی
استادیار برق-الکترونیک
دانشگاه علم و صنعت ایران
M_kuchaki@IUST.ac.IR

حسن عبدالهی
دانشجوی دکتری برق-الکترونیک دانشگاه آزاد اسلامی
واحد علوم و تحقیقات تهران
دانشگاه هوایی شهید ستاری
Hassan_abdollahi@yahoo.com

در سیستم‌های دیجیتال عناصر سوئیچینگ بیشترین توان را مصرف می‌کنند. با توجه به معادله، واضح است که کاهش ولتاژ تغذیه بیشترین تاثیر را در کاهش مصرف توان سوئیچینگ دارد. اما محدودیت‌های کاهش ولتاژ تغذیه ما را از انجام آن باز می‌دارد [3].

محدود کردن ولتاژ سوئیچینگ خروجی یک روش دیگر جهت کاهش توان دینامیکی و تأخیر مدارات می‌باشد. اما طراحی یک مدار با توجه به کاهش سوئیچینگ منطقی آن، خیلی پیچیده‌تر از طراحی با سوئیچینگ کامل است. زیرا در این مدارات ترانزیستورها تنها در دو ناحیه خطی و اشباع کار می‌کنند. MCML یکی از تکنیک‌های کاهش سوئیچینگ ولتاژ است که در آن ارزش خروجی گیت، بر پایه تفاوت بین جریان عبوری از دو شاخه است. بررسی‌های انجام شده بر روی MCML نشان می‌دهد که مهمترین مزیت MCML ثابت بودن توان مصرفی آن با افزایش فرکانس است. ولی در فرکانس‌های پایین توان مصرفی این منطق بالا می‌باشد [4]. جهت کم کردن توان مصرفی در فرکانس‌های پایین تکنیکی با نام DyCML معرفی شده است که در این تکنیک توان مصرفی نسبت به MCML بسیار کاهش یافته است. اما این ساختار شامل یک خازن می‌باشد که با پیشرفت تکنولوژی ساخت، محدودیت‌هایی را در بکارگیری این منطق ایجاد می‌نماید.

در این مقاله جهت بهبود توان مصرفی ساختار MCML در فرکانس‌های پایین و تکنولوژی‌های بالاتر، یک منطقی جدید با نام DyMCML معرفی و این منطق را از لحاظ توان مصرفی و تأخیر در تکنولوژی‌های $0.6\mu\text{m}$ ، $0.5\mu\text{m}$ ، $0.35\mu\text{m}$ ، $0.18\mu\text{m}$ و $0.13\mu\text{m}$ با منطق‌های CMOS، Domino، CPL، MCML و DyCML مقایسه نموده- ایم [5]، [6]، [7]. اساس کار این منطق همانند MCML است ولی با بهره‌گیری از منبع جریان دینامیکی توان استاتیکی حذف و توان مصرفی کاهش یافته است.

در بخش 2 این مقاله اساس منطق MCML بیان می‌شود. در بخش 3 اساس منطق DyCML عنوان می‌گردد و ساختار جدید DyMCML در قسمت 4 توضیح داده خواهد شد. پیاده‌سازی گیت‌های NAND در قسمت پنجم و روش آنالیز و تحلیل گیت‌ها در بخش 6 بیان می‌گردد.

چکیده: در این مقاله ساختار جدیدی از گیت‌های منطقی با نام Dynamic Mos Current Mode logic (DyMCML) معرفی می‌شود که نام آن از MOS Current Mode Logic (MCML) مشتق شده است. خازن بکار برده شده در روش DyCML با مشکل سطح اشغالی برای پروسه‌های بالاتر از $0.6\mu\text{m}$ روبرو می‌باشد. در طراحی جدید که به صورت دینامیکی می‌باشد توان مصرفی مدارات در فرکانس پایین نسبت به MCML برای تکنولوژی‌های بالاتر کاهش یافته است. این تکنیک در تکنولوژی‌های $0.6\mu\text{m}$ ، $0.5\mu\text{m}$ ، $0.35\mu\text{m}$ ، $0.18\mu\text{m}$ و $0.13\mu\text{m}$ طراحی شده است. توان مصرفی و سرعت این تکنیک با منطق‌های complementary pass logic (CPL)، CMOS، Domino، MCML و Dynamic current mode logic (DyCML) مقایسه شده است. نتایج شبیه سازی در محیط Hspice نیز نشان دهنده بهبود سرعت و توان می‌باشد.

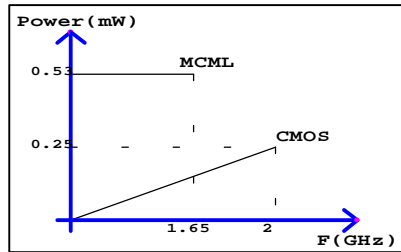
کلید واژه‌ها: CMOS، NAND، DyMCML، MCML، Logic design.

1- مقدمه

طراحی مدارات کم مصرف یک موضوع پراهمیت در VLSI می‌باشد. این مسأله برای وسایل قابل حمل و سیستم‌های با چگالی بالا اهمیت بیشتری دارد. بنابراین نخستین مسأله در طراحی یک مدار با تلفات توان پایین، شناسایی اجزاء مصرف کننده توان می‌باشد. در مدارات دیجیتال CMOS تلفات توان از سه منبع عمده ناشی می‌شود که به طور مختصر به صورت معادله زیر بیان می‌شود [1]، [2]:

$$P_{\text{total}} = P_1(C_1 \cdot V \cdot V_{\text{dd}} \cdot F_{\text{clk}}) + I_{\text{sc}} \cdot V_{\text{dd}} + I_{\text{leakage}} \cdot V_{\text{dd}} \quad (1)$$

در این معادله جمله اول بیان کننده توان مصرفی عناصر سوئیچ است که در آن C_1 خازن بار، F_{clk} فرکانس اصلی پالس‌های ساعت و P_1 احتمال مصرف توان در حالت گذرا می‌باشد و V نیز ولتاژ سوئیچینگ است که در اکثر موارد مشابه ولتاژ تغذیه V_{dd} می‌باشد. جمله دوم معادله، توانی است که ناشی از جریان اتصال کوتاه I_{sc} است و جمله آخر، بیان کننده توان مصرفی جریان نشتی است.



شکل (2) نمودار توان-فرکانس معکوس کننده‌های CMOS و MCML.

با این وجود استفاده از ساختار MCML در طراحی مدارات دیجیتال بدلیل معایب زیر محدود گردیده است که این معایب عبارتند از:

- (1) وجود یک منبع جریان ثابت در این ساختار سبب مصرف توان استاتیکی می‌شود.

- (2) مصرفی توان به فرکانس وابسته نیست. بنابراین نسبت $Power/M_{Hz}$ در فرکانسهای پایین نسبت به منطقهای دیگر خیلی زیاد است پس MCML تنها در فرکانسهای بالا کارائی دارد.
- (3) بلعت مصرف توان DC از تکنیکهای کاهش توان نمی‌توان در مدارات بزرگ استفاده کرد.
- (4) مقاومت‌های R1 و R2 در این طراحی موجب افزایش سطح چپ می‌شود که در طراحی سیستمهای بزرگ به هیچ وجه مطلوب نمی‌باشد.
- (5) بلعت وجود مقاومت‌های بار زماهای صعود و نزول در MCML یکسان نیست.

3- ساختار DYCML

شکل (3) مدار یک گیت منطقی NAND با ساختار DyCML را نشان می‌دهد. این ساختار شبیه MCML است و شامل ترانزیستورهای Q2، Q3، Q4 برای شارژ اولیه، ترانزیستورهای Q5 و Q6 برای لچ کردن جهت حفظ ارزش منطقی مدار بعد از فاز ارزیابی و ترانزیستورهای Q1 و C1 جهت ایجاد منبع جریان می‌باشد.

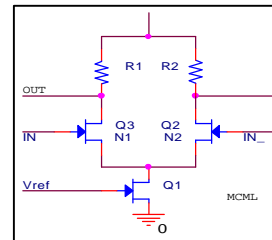
عملکرد این ساختار بدین صورت است که در سطح صفر پالس ساعت، ترانزیستور Q1 خاموش می‌شود و ترانزیستور Q2 جهت دشارژ خازن C1 و ترانزیستورهای Q3 و Q4 جهت شارژ گره‌های خروجی به V_{dd} روشن می‌شوند.

در سطح یک پالس ساعت، ترانزیستورهای Q3 و Q4 خاموش و ترانزیستور Q1 روشن می‌شود و همانند یک منبع جریان عمل می‌کند تا یک مسیر جریان از خازنهای گره‌های خروجی شارژ شده به خازن C1 که نقش زمین مجازی را دارد ایجاد کند. این دو مسیر جریان مدار، امپدانسهای متفاوتی دارند. بنابراین یکی از گره‌های خروجی با توجه به منطق تابع ورودیها سریعتر از دیگری دشارژ می‌شود. اتصال ضربدری ترانزیستورهای Q5 و Q6 سبب افزایش سرعت مدار و حفظ سطوح منطقی در فاز ارزیابی می‌شوند. همچنین در این فاز بلعت خاموش نبودن ترانزیستورهای لچ، گره خروجی که در سطح یک قرار دارد به

نتایج حاصل از شبیه سازی نیز در بخش 7 عنوان گردیده است. بخش 8 نیز جمع بندی حاصل از این مقاله می‌باشد.

2- ساختار MCML

شکل (1) مدار یک گیت NAND با ساختار MCML را نشان می‌دهد. این ساختار بر اساس یک زوج مدار تفاضلی طراحی شده است. در این مدار علاوه بر ورودی باید معکوس آن نیز به مدار داده شود تا عبور جریان از هر شاخه کنترل شود. بدین ترتیب در خروجی مدارات MCML، تابع مورد نظر و معکوس آن هر دو با هم بدست می‌آید. بنابراین می‌توان از MCML در مداراتی که علاوه بر تابع مورد نظر به معکوس آن نیز احتیاج است استفاده نمود. در این گیت مقاومت‌های R1 و R2 مقاومت بار هستند و ترانزیستور Q1 به عنوان منبع جریان عمل می‌کند.



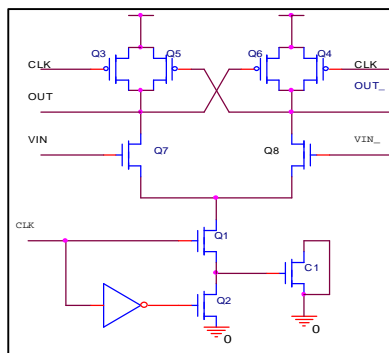
شکل (1) گیت NAND با منطق MCML.

مدارات MCML نسبت به مدارات منطقی دیگر سریعترند زیرا در این مدارات فقط از ترانزیستورهای NMOS استفاده می‌شود و این ترانزیستورها هرگز به حالت قطع نمی‌روند زیرا در ناحیه اشباع و یا در ناحیه خطی خود کار می‌کنند. در MCML اثرات بین سیگنالهای مجاور کم می‌باشد زیرا سوئینگ خروجی این مدارات کم می‌باشد. از طرف دیگر منبع جریان ثابت، نویز سوئینگ و تغییرات ناخواسته تغذیه را نیز کاهش داده شده است. بنابراین می‌توان از MCML برای کاهش تداخل بین بلوکهای آنالوگ و دیجیتال استفاده نمود [5]، [8]، [9]. MCML در فرکانسهای بالا نسبت به CMOS تلفات توان کمتری دارد ولی در فرکانسهای پایین منطق CMOS بهتر است [4]. به عنوان نمونه یک گیت معکوس کننده با منطقهای MCML و CMOS و با مشخصات $W=0.8\mu m$ و $L=0.6\mu m$ ، $V_{dd}=5V$ ، $f_{out}=2$ است. نتایج حاصل از این شبیه‌سازی به صورت نمودار شکل (2) می‌باشد. همانطور که ملاحظه می‌شود، با افزایش فرکانس توان مصرفی MCML ثابت می‌ماند، بنابراین در فرکانسهای بالا توان مصرفی MCML کمتر از CMOS خواهد شد. البته جهت نمایش این پدیده، محدودیتهای تکنولوژی $0.6\mu m$ اجازه نمی‌دهد فرکانس را برای گیت‌های طراحی شده افزایش دهیم.

ولتاژ $V_{dd} - |V_{TP}|$ افت می‌کند این گره بعد از فاز ارزیابی به V_{dd} شارژ می‌شود.

همانطور که ملاحظه شد ترانزیستور Q_1 به صورت یک منبع جریان دینامیکی عمل کرده و عبور جریان DC را محدود می‌کند و با حذف توان مصرفی DC موجب کاهش توان مصرفی گیت می‌شود.

مهمترین عیب این تکنیک استفاده از خازن C_1 است زیرا این خازن نقش زمین مجازی را دارد و مقدار آن به مقدار خازن خروجی، به مقدار این خازن اتصالات خروجی و تعداد انشعابات خروجی بستگی دارد. در پروسه‌های ریزمیکرومتر (DSM) مقدار خازن بیشتر می‌شود بطوریکه بکارگیری از این روش برای تکنولوژیهای بیشتر از $0.6\mu m$ غیر ممکن می‌گردد. بعنوان مثال سطح اشغالی ترانزیستور C_1 در پروسه $0.6\mu m$ برای یک گیت معکوس کننده DyCML با 8 خروجی سطحی برابر با 10mm^2 می‌باشد که معادل 4% کل سطح گیت است [5].

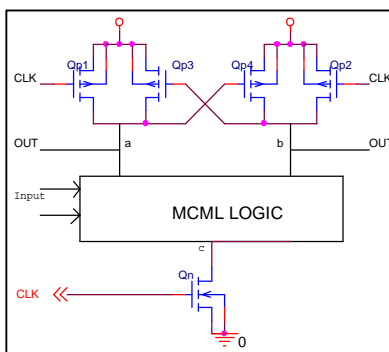


شکل (3) ساختمان گیت DyCML.

4- ساختار DyMCML

جهت بدست آوردن سرعت بیشتر و کاهش توان مصرفی در مدارات MCML دو محدودیت منبع جریان ثابت و مقاومت بار را بایستی برطرف نمائیم. بدین منظور در مدار DyMCML از منبع جریان دینامیک جهت محدود کردن توان استاتیک استفاده گردیده است و همانند DyCML از مقاومت‌های اکتیو بجای مقاومت‌های بار جهت کاهش توان مصرفی استفاده شده است.

در شکل (4) پایه و اساس ساختار منطق DyMCML نشان داده شده است. این ساختار شامل یک بلوک MCML برای اجرای تابع مورد نظر، ترانزیستورهای Q_{p1} و Q_{p2} برای شارژ اولیه، ترانزیستورهای Q_{p3} و Q_{p4} برای لچ کردن جهت حفظ ارزش منطقی مدار بعد از فاز ارزیابی و ترانزیستور Q_n بعنوان منبع جریان می‌باشد.

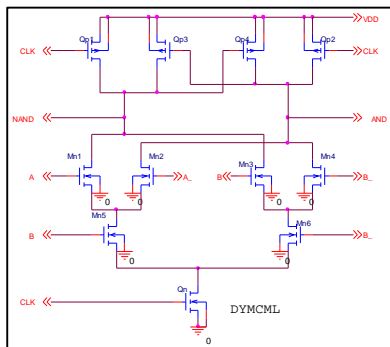


شکل (4) ساختمان گیت DyMCML.

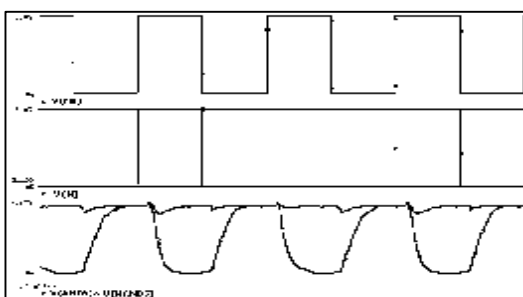
عملکرد این ساختار همانند DyCML است با این تفاوت که این مدار فاقد زمین مجازی است.

5- پیاده سازی گیت‌های NAND

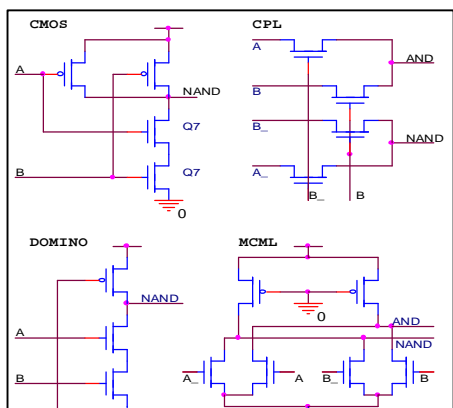
یک گیت منطقی NAND مطابق شکل (5) جهت بررسی و تحلیل منطق DyMCML طراحی و برای آنالیز آن از پارامترهای تکنولوژی CMOS $0.6\mu m$ استفاده شده است. در این تکنولوژی طول کانال $0.5\mu m$ و ولتاژهای آستانه برای ترانزیستورهای NMOS در حدود $0/7$ ولت و برای ترانزیستورهای PMOS در حدود $0/9$ ولت است. با توجه به شکل (5) ملاحظه می‌شود که با ایجاد تنها یک مسیر در فاز ارزیابی، توان مصرفی کاهش یافته می‌شود. زیرا در زمانی که CLK غیر فعال است کلیه گره‌ها به V_{dd} شارژ شده‌اند.



شکل (5) ساختار یک گیت NAND با منطق DyMCML.



شکل (6) شکل موجهای ورودی و خروجی.



7- نتایج شبیه سازیها:

مدارات NAND با حداقل سایز ترانزیستور برای 5 تکنولوژی طراحی و در فرکانس 100MHz با Hspice شبیه سازی شده است.

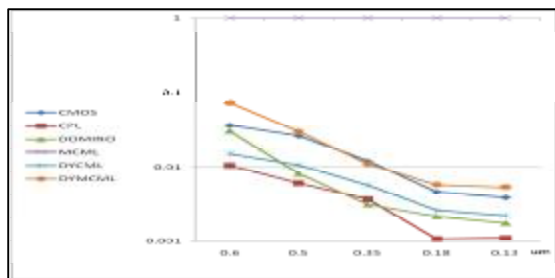
جدول (1) نتایج حاصل از آنالیز را برای سبکهای منطقی متفاوت در تکنولوژیهای مختلف بدون تأثیر توان مصرفی و تأخیر گیتهای درایور نشان می دهد. جهت سهولت در مقایسه، تمام نتایج به مقدار حاصل از آنالیز مدار CMOS نرمالیزه شده است.

در نمودار (1) منحنی توان برحسب تکنولوژی رسم شده است. در این نمودار توان گیتها به مقدار توان MCML نرمالیزه شده است. این نمودار نشان می دهد که در تکنولوژیهای بالاتر توان مصرفی DyMCML نسبت به MCML کاهش بیشتری را داشته است.

همچنین ملاحظه می شود که برای تکنولوژیهای بالاتر، DyMCML جایگزین مناسبی برای DyCML می باشد.

جدول (1) مقایسه توان، تأخیر، PDP و EDP برای گیتهای NAND با ساختارهای مختلف برای تکنولوژیهای متفاوت.

Gate Type		CMOS	CPL	DOMINO	MCML	DyCML	DyMCML
0.6um	power	1.00	0.29	0.84	27.2	0.41	2.01
	delay	1.00	0.61	0.68	1.02	1.61	1.18
	PDP	1.00	0.17	0.56	27.8	0.66	2.37
	EDP	1.00	0.11	0.38	28.5	1.06	2.79
0.5um	power	1.00	0.23	0.31	37.7	0.4	1.14
	delay	1.00	0.46	0.74	0.73	1.52	0.84
	PDP	1.00	0.11	0.23	27.5	0.61	0.96
	EDP	1.00	0.05	0.17	20.1	0.92	0.81
0.35um	power	1.00	0.3	0.26	82.9	0.47	0.92
	delay	1.00	0.4	0.92	0.64	2.68	0.77
	PDP	1.00	0.12	0.24	53.3	1.26	0.7
	EDP	1.00	0.05	0.22	34.3	3.37	0.54
0.18um	power	1.00	0.23	0.47	217	0.57	1.26
	delay	1.00	0.43	1.18	0.65	2	0.91
	PDP	1.00	0.1	0.55	142	1.14	1.15
	EDP	1.00	0.04	0.65	92.4	2.28	1.05
0.13um	power	1.00	0.29	0.45	258	0.57	1.38
	delay	1.00	0.37	0.97	0.73	2.42	0.9
	PDP	1.00	0.11	0.44	187	1.37	1.24
	EDP	1.00	0.04	0.42	136	3.31	1.12



نمودار (1) منحنی توان نرمالیزه شده گیتها بر حسب تکنولوژی.

نمودار (2) نشان دهنده منحنی تأخیر برحسب تکنولوژی می باشد. در این نمودار تأخیر گیتها به مقدار تأخیر CMOS نرمالیزه شده است. این نمودار نشان می دهد که در تکنولوژیهای بالاتر تأخیر DyMCML نسبت به MCML کاهش یافته است و قابل مقایسه با تأخیر DyCML

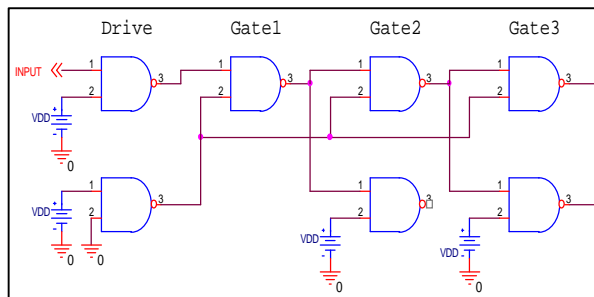
شکل (7) گیتهای NAND با منطقهای COMS,CPL,Domino و MCML.

این مدار با حداقل سایز ترانزیستورها طراحی شده است ($W=0.8\mu m$ و $L=0.6\mu m$). ولتاژ تغذیه آن 5 ولت و فرکانس کار آن 250MHz می باشد شکل موجهای ورودی و خروجی در شبیه سازی Hspice برای گیت NAND با ساختار DyMCML در شکل (6) نشان داده شده است.

این گیت NAND در 5 تکنولوژی متفاوت $0.6\mu m$, $0.5\mu m$, $0.35\mu m$, $0.18\mu m$ و $0.13\mu m$ با رعایت حداقل سایز طراحی شده است و جهت بررسی و مقایسه عملکرد DyMCML از نظر توان مصرفی، تأخیر، توان تأخیر (PDP) و انرژی تأخیر (EDP) با منطقهای دیگر، گیتهای NAND مطابق شکل (7) با 4 خانواده مختلف منطقی CMOS, CPL, Domino و MCML در 6 تکنولوژی مختلف طراحی شده است. گیت NAND با روش DyCML نیز در شکل (3) معرفی شده است. البته در شبیه سازیها فرض شده است که از DyCML می توان در تکنولوژیهای بالاتر بهره جست و خازن محدودیتی را ایجاد نمی کند.

6- آنالیز گیتهای NAND:

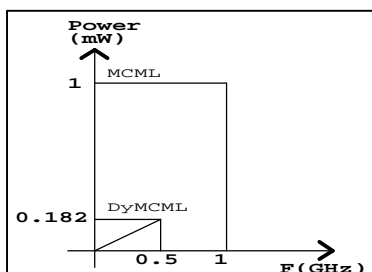
عملکرد هر خانواده منطقی تابعی از شکل موج ورودی آن است و زمانهای صعود و نزول هستند که جریان اتصال کوتاه، charge sharing، تلفات توان و سرعت ارزیابی را کنترل می کنند. بنابراین ترجیح داده شد برای درایو هر گیت منطقی از یک گیت منطقی از همان خانواده استفاده شود زیرا خطای اندازه گیری کمتر می شود. این فرمت در شکل (8) نشان داده شده است. برای آنالیز، سه گیت منطقی از هر خانواده به صورت سری به هم متصل شده است. خروجی هر گیت به دو گیت مشابه دیگر وصل شده است تا خطای اندازه گیری کاهش یابد. جهت اتصال گیتهای Domino, DyCML و DyMCML از تکنیک Clock-delay استفاده شده است [4].



شکل (8) ساختار پایه آنالیز گیتهای NAND.

فرضی می‌باشد. بنابراین می‌توان از DyMCML بدون داشتن محدودیت DyCML براحتی در تکنولوژیهای بالاتر استفاده نمود.

نمودار (4) منحنی انرژی-تاخیر نرمالیزه شده گیتها بر حسب تکنولوژی.



شکل (9) نمودار توان-فرکانس معکوس کننده‌های MCML و DyMCML.

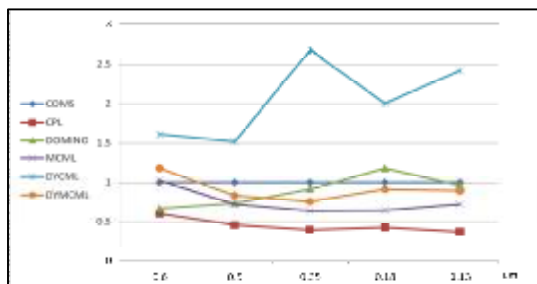
جهت بررسی بیشتر، یک گیت NOT با حداقل سایز ترانزیستورها توسط منطقهای DyMCML و MCML طراحی و توسط نرم‌افزار Spice شبیه‌سازی شده است و نتایج حاصل در نمودار توان برحسب فرکانس رسم شده است (شکل 9). ملاحظه می‌شود توان مصرفی DyMCML با افزایش فرکانس زیاد می‌شود ولی باز توان مصرفی MCML ثابت می‌ماند. بنابراین در فرکانسهای پائین توان مصرفی DyMCML نسبت به MCML کم می‌باشد.

8- نتیجه:

در این مقاله ساختار جدیدی بر مبنای MCML با نام DyMCML معرفی گردید که دارای خصوصیات برتری از لحاظ کاهش توان مصرفی و افزایش سرعت مدار نسبت به MCML می‌باشد. همانطور که از جدول ملاحظه می‌شود، DyMCML سرعت خوبی را دارد و از هر لحاظ نسبت به MCML بهبود یافته است. در این مقایسه هرچند که DyCML فرضی نسبت به DyMCML توان کمتری را مصرف می‌کند اما در تکنولوژیهای Deep Sub Micron (DSM) محدودیت سایز خازن مانع از استفاده از تکنیک DyCML می‌شود، در حالیکه از DyMCML براحتی می‌توان استفاده کرد. از طرف دیگر با آنکه توان DyMCML نسبت به CMOS در فرکانسهای پایین کاهش نیافته است اما در طراحی مداراتی که علاوه بر تابع مورد نظر به معکوس آن تابع نیز نیاز می‌باشد، استفاده از DyMCML ضمن کاهش سطح چپ، کاهش توان مصرفی را نیز در بر خواهد داشت.

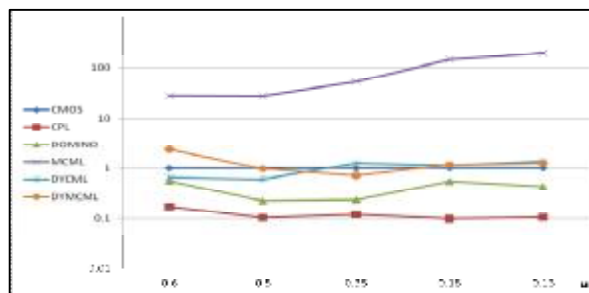
مراجع:

- [1] Anantha P. Chandrakasan, Samuel, and Robert W. Brodersen, "Low Power CMOS Digital Design." IEEE Journal of Solid-State Circuits, pp. 473-484, April 1992.
- [2] Reto Zimmermann and Wolfgang Fichtner. "Low-power Logic: CMOS Versus Pass-transistor logic" IEEE Journal of Solid-State Circuits, VOL. 32, NO. 7, JULY 1997.



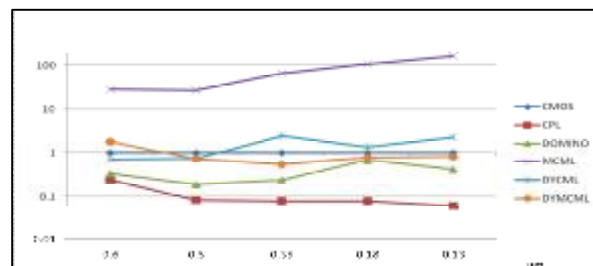
نمودار (2) منحنی تاخیر نرمالیزه شده گیتها بر حسب تکنولوژی.

فاکتور توان - تاخیر که از حاصل ضرب توان در تاخیر بدست می‌آید در نمودار (3) برای گیتهای مختلف در تکنولوژیهای متفاوت نشان داده شده است. در این نمودار نیز فاکتور توان-تاخیر گیتها به مقدار تاخیر CMOS نرمالیزه شده است. از این نمودار ملاحظه می‌شود که میزان PDP در DyMCML نسبت به MCML بهبود چشمگیری داشته است. همچنین مقدار این کمیت در DyMCML تقریباً برابر با DyCML می‌باشد. بنابراین کم بودن فاکتور توان-تاخیر نشان از قابلیت استفاده از این گیت در تکنولوژیهای بالاتر است.



نمودار (3) منحنی توان-تاخیر نرمالیزه شده گیتها بر حسب تکنولوژی.

کمیت دیگری که در مدارات دیجیتال مورد توجه قرار می‌گیرد فاکتور انرژی تاخیر می‌باشد که از حاصل ضرب توان مصرفی در مجذور تاخیر بدست می‌آید. منحنی این فاکتور برای گیتهای مختلف بر حسب تکنولوژیهای متفاوت در نمودار (4) نشان داده شده است. فاکتور انرژی-تاخیر گیتها در این نمودار نیز به مقدار تاخیر CMOS نرمالیزه شده است از این نمودار ملاحظه می‌شود که در پروسه 0.13 μ m فاکتور EDP در DyMCML نسبت به DyCML فرضی حدود 35% بهبود یافته است.



- [3] T.Kuroda and T. Sakura “*Low-Voltage Technologies and Circuits.*” Low Power CMOS Design / Edited by Anuntha Chandarakasa, Robert Brodersen / IEEE Press 1998.
- [4] Akira Tanabw, “*0.18um CMOS 10Gb/s Multiplexer/DeMultiplexer ICs using Current Mode Logic with Tolerance to Threshold Voltage Fluction.*” IEEE Journal of Solid-State Circuits, VOL. 36, NO. 6, JUNE 2001.
- [5] Mohamed W.Allam, Student Member, and Mohamed I.Elmasry “*Dynamic Current Mode Logic (DyCML): A New Low-Power High performance Logic Style.*” IEEE J. Solid-State Circuits, VOL. 36, pp. 550-558, MARCH 2001.
- [6] Johon P- Ugemura, “*Circuit Design for CMOS VLSI*” 1992.
- [7] Paul R.Gray, Robert G. Meyer, “*Analysis and design of analog integrated circuits*” John-Wiley, 2000.
- [8] F. Mace, I. Hassoune, J.-D. Legat, J.-J. Quisquater, “*A Dynamic Current Mode Logic to Counteract Power Analysis Attacks*” in Proc of XIX Conference on Design of Circuits and Integrated Systems 2004.
- [9] Lisha Li, Sripriya Raghavendran, and Donald T. Comer “*CMOS Current Mode Logic Gates for High-Speed Applications*” 12th NASA Symposium on VLSI Design, Coeur d’Alene, Idaho, USA, Oct. 4-5, 2005.