

مدل مداری جدید در تکنولوژی CMOS استاندارد برای بررسی و تحلیل گذرای حافظه‌های فلش

پویا کمالی‌نژاد، محمدرضا قادری، محمد مقدم تبریزی، بهجت فروزنده

دانشکده برق و کامپیوتر دانشگاه تهران
{p.kamali, mrghaderi, mmoghaddam}@ieee.org
bforooz@ut.ac.ir

چکیده

در این مقاله روش طراحی و تحلیل مداری سلول‌های حافظه فلش در تکنولوژی $0.18 \mu\text{m}$ تک پلی سیلیکن ارائه می‌گردد. مدل ارائه شده تطابق قابل توجهی از نظر نقطه کار dc و حالت گذرا را بدون نیاز به صرف زمان طولانی شبیه سازی ارائه می‌دهد. برای محاسبه ولتاژ گیت شناور، روش آیینه جریان ایده‌آل به همراه روش ولتاژ گیت کنترلی ارائه می‌گردند. به این ترتیب امکان شبیه سازی یک سلول حافظه فلش در یک شبیه ساز مداری مثل SPICE فراهم می‌گردد. در این روش برای اعمال حالت‌های نوشتن/پاک کردن رابطه تونل زنی Fowler-Nordheim مورد استفاده قرار می‌گیرد. همچنین استفاده از یک منبع ولتاژ وابسته به ولتاژ در این مدل باعث افزایش دقت شده و ارائه روش جدید نوشتن / پاک کردن حافظه، عدم ورود ترانزیستورها به ناحیه تریود را در حین این فرایندها تضمین می‌کند.

کلمات کلیدی

حافظه فلش، ولتاژ گیت شناور، مدل مداری CMOS استاندارد

A New Compact Standard CMOS Model of Flash Memory for Transient Analysis

P. Kamalinejad, R. G. Karkani, M. M. Tabrizi, B. Forouzandeh
Faculty of Electronic and Electrical Eng. University of Tehran

Abstract

In this paper the design and modeling of a flash memory cell, implemented in a standard single-poly $0.18 \mu\text{m}$ CMOS process for circuit simulation is presented. This model has an excellent fitting of dc and transient data and also there is no need for the additional simulation time. Effective control gate voltage method and ideal current-mirror technique are introduced to calculate floating-gate voltage. These allow macro modeling of a flash memory cell in a circuit simulator. In the erase/write mode Fowler-Nordheim tunneling is used, and using a voltage controlled voltage source in the model guarantees that none of the transistor goes to triode region during the write and erase mode.

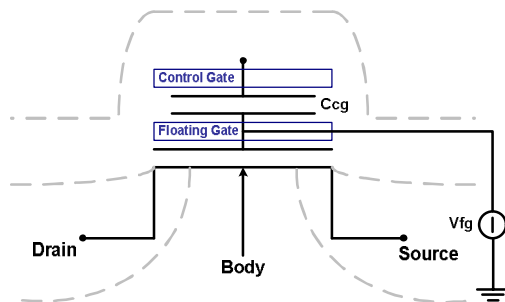
Key Words:

Flash Memory, floating Gate Voltage, Standard CMOS Compact Model

۱- مقدمه

که این دو دارای مفهوم جداگانه بوده و باید به طور مجزا بررسی شوند. در صنعت نیمه‌هادی یک مدل فشرده مدلی است که بدون هزینه محاسباتی زیاد بیانگر خصوصیات الکتریکی آن عنصر مداری باشد. مدلسازی غالباً به منظور بدست آوردن ابزاری برای شبیه سازی یک افزاره یا یک مدار به کمک محاسبات کمی انجام می‌گیرد. امروزه شبیه‌سازهای مداری مانند SPICE ابزار اصلی برای طراحی مدارهای الکترونیکی می‌باشند. بنابراین مدل فشرده مداری یک افزاره با گیت شناور می‌تواند پایه اصلی طراحی یک سلول حافظه و فراتر از آن یک تراشه حافظه باشد.

قدم اول در مدلسازی یک ترانزیستور با گیت شناور استفاده از مدل شناخته شده CMOS می‌باشد تا بتوان از تمامی دانش و ابزارهای شبیه‌ساز مرتبط با آن بهره جست. ایده اساسی در مدل کردن یک افزاره با گیت شناور در تکنولوژی CMOS استاندارد، در نظر گرفتن آن به صورت یک ترانزیستور CMOS معمولی است که یک خازن به عنوان گیت کنترلی به گیت ترانزیستور CMOS (که پس از آن گیت شناور تلقی خواهد شد) متصل است شکل ۱ [۱].



شکل (۱): مدل فشرده مداری یک افزاره با گیت شناور

دو مشکل عمده این مدل ساده به قرار زیر می‌باشند: اول اینکه ترانزیستور CMOS معمولی مورد استفاده در شبیه‌سازهای مداری دارای ضخامت اکسید گیت کوچک (Thin Gate Oxide) می‌باشد در حالیکه ضخامت اکسید گیت یک ترانزیستور با گیت شناور رایج، بالای 5nm می‌باشد. بنابراین استفاده از این مدل مستلزم ایجاد تغییراتی در شبیه‌ساز مورد استفاده می‌باشد. مشکل دوم کوپلاژ خازنی موجود بین گیت کنترلی، سورس، درین و بدنه می‌باشد که در این مدل در نظر گرفته نمی‌شود. همانطور که قبلاً اشاره شد مدلسازی یک ترانزیستور با گیت شناور منوط به محاسبه دقیق ولتاژ گیت شناور بوده، به طوری که پس از مشخص شدن دقیق این ولتاژ مساله تبدیل به مدلسازی یک ترانزیستور CMOS معمولی خواهد شد که ولتاژ گیت آن همان ولتاژ مشخص شده گیت شناور است. از طرفی این روش با استفاده از یک خازن MOSCAP در کنار گیت ترانزیستور MOS معمولی امکان پیاده‌سازی یک ترانزیستور با گیت شناور را در تکنولوژی CMOS استاندارد فراهم می‌آورد.

یکی از مسائل مهم در مدل‌سازی یک سلول حافظه فلش محاسبه ولتاژ گیت شناور می‌باشد. ولتاژ گیت شناور پارامتری کلیدی است که مشخصات عمده یک سلول حافظه از قبیل مشخصه ولتاژ/جریان در حین عملیات نوشتن/پاک کردن را تعیین می‌کند [1]. تا کنون چندین مدل برای محاسبه ولتاژ گیت شناور ارائه شده است که این مدل‌ها را می‌توان در دو دسته کلی طبقه بندی کرد: مدل کوپلاژ خازنی و مدل Larcher. مدل کوپلاژ خازنی ولتاژ گیت شناور را به کمک روابط کوپلاژ خازنی موجود بین گیت شناور و سایر گره‌ها محاسبه می‌کند [2]. اما این مدل به علت ساده سازی بیش از حد رابطه گیت شناور با سایر گره‌ها و ثابت در نظر گرفتن مقدار خازن‌های موجود بین گره‌ها از دقت کافی برخوردار نمی‌باشد. بسیاری از خازن‌های موجود در این رابطه غیر خطی بوده به طوری که ظرفیت آن‌ها به ولتاژ اعمال شده به صفحات آن وابسته می‌باشد. در عمل ظرفیت این خازن‌ها تابع پیچیده‌ای از ولتاژ گره‌ها می‌باشد [3].

مدل Larcher محاسبات خود را بر اساس مدل بار nMOSFET انجام می‌دهد بطوریکه اثر ولتاژ تمامی گره‌ها در این مدل در نظر گرفته می‌شود [4]. در این روش ولتاژ گیت شناور به کمک اعمال قانون پایستگی بار روی گیت شناور بدست می‌آید. بنابراین ولتاژ بدست آمده در این روش تخمین دقیقتری از مقدار واقعی می‌باشد اما این دقت بیشتر به قیمت در نظر گرفتن تعداد بیشتری از پارامترهای نسبتاً پیچیده برای شناسایی فیزیکی میزان بار گیت شناور بدست می‌آید. بنابراین دقت این مدل نیز محدود به دقت مدل بار گیت و دقت محاسبه پارامترها می‌باشد.

در این مقاله روش جدیدی برای محاسبه دقیق ولتاژ گیت شناور بدون نیاز به صرف هزینه اضافی برای زمان شبیه‌سازی و دقت پارامترها ارائه می‌گردد. در روش جدید تنها از یک آینه جریان ایده-آل برای محاسبه دقیق ولتاژ گیت شناور و بدون نیاز به محاسبات اضافی استفاده می‌شود. مدل ارائه شده و محاسبه پارامترهای مربوط به آن بسیار ساده بوده و پیاده‌سازی آن بر روی شبیه‌سازهای مداری براحتی امکان پذیر می‌باشد. از طرف دیگر با استفاده از یک MOSCAP در کنار گیت یک ترانزیستور معمولی می‌توان یک ترانزیستور با گیت شناور را در تکنولوژی CMOS استاندارد پیاده‌سازی کرد. در ادامه این مقاله مدل‌های رایج ترانزیستورهای با گیت شناور (Floating Gate) در بخش دوم، تکنیک مدلسازی ICM در بخش سوم، مدل بهبودیافته پیشنهادی در بخش چهارم و نتایج شبیه‌سازی در بخش آخر ارائه خواهند شد.

۲- مدل‌سازی ترانزیستورهای با گیت شناور

مدلسازی و شناسایی یک سیستم دو فرآیند شبیه و نزدیک به هم بوده به طوری که گاهی یکسان در نظر گرفته می‌شوند. اما باید توجه داشت

۳- محاسبه ولتاژ گیت شناور

یک راه محاسبه ولتاژ گیت شناور روش موازنه بار می‌باشد. به این ترتیب که بار موجود روی گیت شناور به علاوه بار موجود روی صفحه پایینی خازن FG-CG برابر با بار ورودی/خروجی گیت شناور در حین عملیات نوشتن/خواندن می‌باشد که این بار نیز از نظر نقطه کار DC ثابت بوده و بسته به حالت سلول حافظه تعیین می‌گردد. اما بار موجود روی گیت ترانزیستور MOS خود تابع پیچیده‌ای از ولتاژ گره‌های سورس، درین، بدنه و گیت شناور می‌باشد.

روش دیگر محاسبه ولتاژ گیت شناور روش گیت کنترلی موثر (Effective Control Gate) می‌باشد. در این روش یک سلول حافظه فلش با یک ترانزیستور MOS ساده که دارای پارامترهای یکسانی است مدل می‌شود. به این ترتیب مشخصه ولتاژ/جریان ترانزیستور با گیت شناور که در حالت عادی دارای ولتاژ آستانه (V_{th}) نامشخص می‌باشد توسط تغییرات ولتاژ گیت موثر قابل شناسایی می‌باشد. این روش مخصوص برای تحلیل حالت گذرا مناسب می‌باشد. در روش‌های قبلی (مدل کوپلاژ خازنی و مدل Larcher یا همان روش موازنه بار) اندازه‌گیری جریان گیت و جریان درین قبل از اینکه V_{FG} (ولتاژ گیت شناور) مشخص شده باشد امکانپذیر نمی‌باشد. بنابراین دقت کلی مدل شدیداً وابسته به دقت محاسبه V_{FG} می‌باشد. اما در روش ارائه شده با استفاده از یک آینه جریان ایده‌آل (Ideal Current Mirror)، V_{FG} از روی جریان درین (که به راحتی قابل محاسبه است) و بدون هیچ خطایی محاسبه می‌گردد شکل ۲ [9].

در این روش برای محاسبه V_{FG} از دو دسته پارامتر، یکی برای ترانزیستور با گیت شناور (که در اینجا با یک ترانزیستور MOS معمولی به همراه یک MOSCAP مدل شده است) و یکی برای ترانزیستورهای ساختار تست استفاده می‌شود. در این روش ترانزیستورهای مدار (Ideal Current Mirror) دارای ساختار و بایاس مشابه با ترانزیستور با گیت شناور می‌باشند. با توجه به شکل ۲ واضح است که ترانزیستورهای MOSFET2 دارای جریان مساوی تحت بایاس درین/بدنه مساوی با ترانزیستور باگیت شناور مورد نظر می‌باشند. ایده‌آسی در این تکنیک این است که V_{FG} مربوط به ترانزیستور باگیت شناور با ولتاژ گیت ترانزیستورهای ساختار ICM یکسان است. برای محاسبه V_{FG} در این روش ابتدا جریان درین MOSFET1 که همان ترانزیستور باگیت شناور می‌باشد اندازه‌گیری می‌شود. با توجه به روابط حاکم بر ترانزیستور MOS این جریان تابعی از ولتاژ گیت و درین ترانزیستور MOSFET1 می‌باشد. بنابراین با اعمال جریان درین مساوی به ساختار ICM ولتاژ گیت آن برابر با ولتاژ گیت ترانزیستور MOSFET1 (سلول حافظه) خواهد بود. هر دو منبع جریان در شکل ۲(ب) ایده‌آل هستند. این منابع جریان کنترل شده با جریان، بدون تأخیر جریان درین سلول حافظه را در ساختار ICM کپی می‌کنند. بنابراین تنها با استفاده از یک آینه جریان

(ساختار ICM) می‌توان V_{FG} سلول حافظه را بدست آورد. در عمل دو نمونه (سلول حافظه و ساختار تست) باید برای اجتناب از آثار منفی تغییرات سطح قرص نزدیک به هم قرار گیرند.

۳-۲- محاسبه ولتاژ گیت شناور در ناحیه انباشتگی

با توجه به مطالب ذکر شده، V_{FG} را می‌توان در نواحی تخلیه (Depletion) و وارونگی محاسبه کرد اما در ناحیه انباشتگی (Accumulation) برای بدست آوردن رابطه V_{FG} از روش مدل بار گیت (Gate Charge Model) مربوط به BSIM3 استفاده شده است [5]:

$$Q_G = W_{eff,CV} L_{eff,CV} C_{ox} (V_{FG} - V_{BS} - V_{FB,CV}) \quad (1)$$

که در آن W_{eff} و L_{eff} به ترتیب عرض و طول مؤثر کانال و C_{ox} خازن مؤثر واحد سطح مربوط به اکسید می‌باشند. V_{BS} ولتاژ بایاس بدنه نسبت به ولتاژ سورس و $V_{FB,CV}$ ولتاژ Flat-Band مربوط به مدل خازنی است. بنابراین:

$$V_{FG} = \frac{[C_{CG} V_{ECG} + k(V_{BS} + V_{FB,CV})]}{[C_{CG} + k]} \quad (2)$$

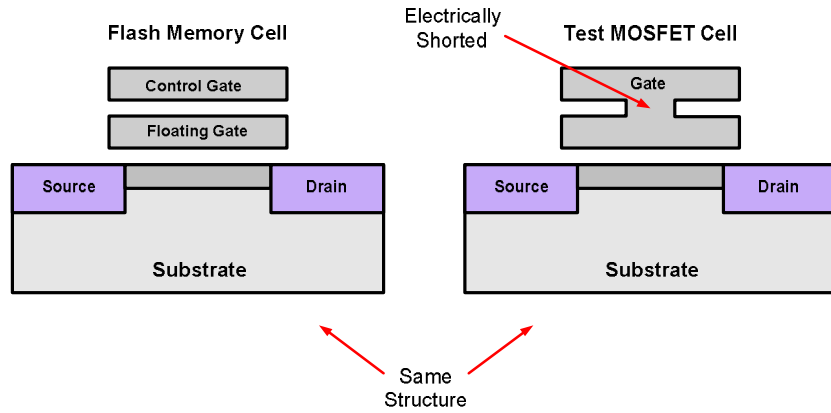
در هنگام پاک کردن اطلاعات سلول حافظه در حالت انباشتگی قرار دارد. حال اگر V_{FG} در این حالت کمتر از $V_{FB,CV}$ باشد، مقدار آن باید از رابطه (2) محاسبه گردد. در این حالت جریان گیت از سمت کانال به سمت گیت شناور و طبق فرآیند تونل زنی Fowler-Nordheim جاری می‌گردد.

۴- کاستی‌های روش ICM و رفع آنها

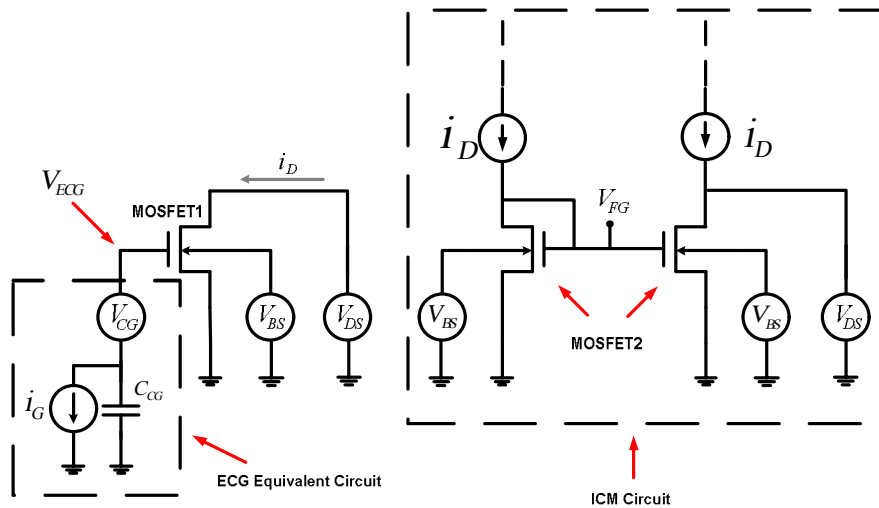
روش ICM (Ideal Current Mirror) که در مرجع [9] به آن اشاره شده و در بالا نیز معرفی گردید دارای کاستی‌های زیر می‌باشد:

۱- به علت اثر مدولاسیون طول کانال، V_{FG} ساختار تست (آینه جریان) دقیقاً همان ولتاژ گیت MOSFET1 (سلول حافظه) را دنبال نمی‌کند که این مسأله باعث ایجاد خطا می‌گردد.

۲- ساختار سلول حافظه معرفی شده در مرجع [9] کماکان به استفاده از ترانزیستورهای با گیت شناور وابسته می‌باشد. این ترانزیستورها به علت نیاز به فرآیند طولانی‌تر ساخت (استفاده از تعداد بیشتری نقاب برای پیاده‌سازی گیت شناور) نسبت به ساختار MOS معمولی دارای قیمت بالاتری می‌باشند. بنابراین از نظر



(الف)



(ب)

شکل (۲). ساختار ساده شده افزاره (الف)، مدار معادل مدل ECG (ب) روش ICM

۴-۲- روش‌های رفع کاستی‌های تکنیک ICM

۱- ایده معرفی شده در این مقاله برای مقابله با اثر مدولاسیون طول کانال استفاده از یک منبع ولتاژ وابسته شناور مطابق شکل ۳ می‌باشد. این منبع ولتاژ اختلاف ولتاژ بین درین و گیت ترانزیستور آیینة M3 را بین درین و گیت ترانزیستور M2 کپی می‌کند و به این ترتیب اثر مدولاسیون طول کانال خنثی می‌گردد. باید توجه گردد که از آنجاییکه استفاده از ساختار آیینه جریان ارائه شده تنها برای اندازه‌گیری ولتاژ گیت شناور در سلول حافظه می‌باشد، مسأله طراحی و ساخت یک منبع ولتاژ شناور باعث نگرانی نخواهد بود. نتایج مقایسه روش ICM

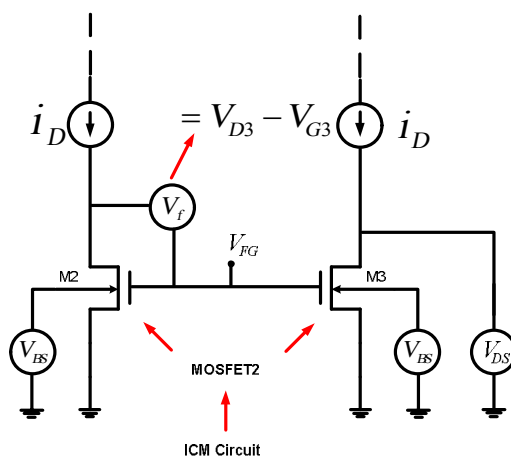
اقتصادی بسیار مقرون به‌صرفه تر خواهد بود اگر بتوان تنها با استفاده از ترانزیستورها MOS معمولی سلول حافظه مورد نظر را ساخت درحالیکه مشخصات مطلوب محفوظ باقی بمانند.

۳- در حین فرایند پاک کردن، ولتاژ گیت سلول مقداری منفی خواهد بود. در این حالت آیینة جریان دیگر V_{FG} را دنبال نخواهد کرد و روش ICM در این محدوده کاری در محاسبه V_{FG} ناموفق خواهد بود.

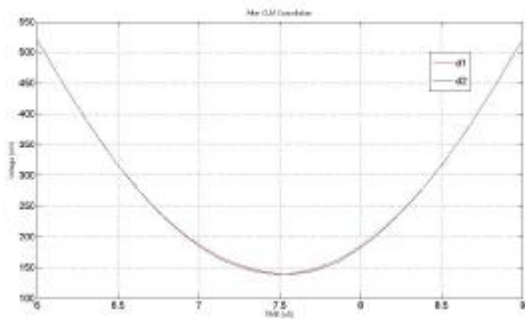
Standard CMOS می‌باشد. این حافظه باید در عین غیرفرار بودن و دارا بودن خواص سلول‌های با گیت شناور، تنها از ترانزیستورهای CMOS معمولی استفاده کند. یک حافظه غیر فرار را می‌توان در تکنولوژی Standard CMOS توسط فراهم آوردن یک گره شناور که بار را ذخیره کند، همانند آنچه در شکل ۵ مشاهده می‌گردد، پیاده‌سازی کرد.

۳- مسأله سوم عدم توانایی ساختار آینه‌ی جریان در دنبال کردن دقیق ولتاژ گیت شناور در ناحیه کاری انباشتی می‌باشد. این مسأله در هنگام پاک کردن محتویات سلول حافظه و تحت شرایط زیر پیش می‌آید: یک ولتاژ منفی بزرگ به V_{CG} اعمال می‌گردد، در مقدار صفر ثابت

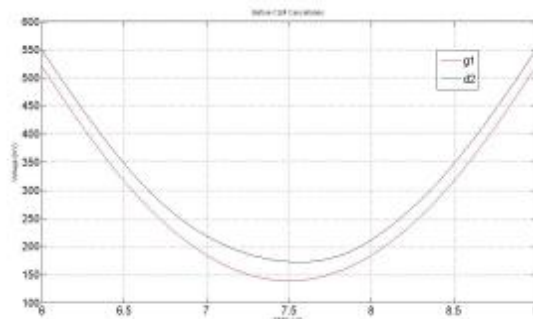
معمولی با روش بهبودیافته پیشنهادی در شکل ۴ آورده شده است. بدون استفاده از منبع V_f ، ولتاژ گیت ترانزیستورهای آینه‌ی جریان، ولتاژ گیت شناور را با دقت کافی دنبال نمی‌کند. به‌خصوص وقتی که ولتاژ گیت شناور به سمت مقادیر منفی نزدیک می‌گردد این انحراف بزرگتر می‌شود. اما همانطور که از شکل ۴ پیداست، پس از افزودن منبع ولتاژ شناور این انحراف به سمت صفر میل می‌کند. برای شبیه‌سازی یک ولتاژ سینوسی به ساختار تست (V_{CG}) اعمال شده است. دقت شود که اگرچه قبل از حذف اثر مدولاسیون طول کانال (افزودن منبع ولتاژ شناور) انحراف از مرتبه چند mv می‌باشد، اما همین میزان کم می‌تواند خطای بزرگی در مدلسازی ایجاد کند. ۲- مسأله دوم پیاده‌سازی یک سلول حافظه فلش در تکنولوژی



شکل (۳). حذف اثر مدولاسیون طول کانال با استفاده از منبع ولتاژ وابسته



(ب)



(الف)

شکل (۴). انحراف مقدار اندازه‌گیری شده از مقدار واقعی (الف)، از بین رفتن انحراف پس از افزودن منبع ولتاژ شناور (ب)

در این رابطه F_{ox} میدان الکتریکی درون اکسید، T دما و A_{FN} ، B_{FN} و C_{FN} ضرایبی می‌باشند که به کمک ثابت‌های فیزیکی MOS بدست می‌آیند. همانطور که از رابطه ۳ بر می‌آید، جریان تونل‌زنی تابع شدیدی از میدان اکسید می‌باشد. بنابراین کنترل پارامترهای ساخت مؤثر بر ضخامت اکسید برای کنترل جریان تونل‌زنی ضروری است. رابطه ۳ برای مقاصد مدل‌سازی پیچیده است لذا به کمک برخی ساده‌سازی‌ها (که در اینجا از ذکر مراحل آن خودداری می‌کنیم) به رابطه ساده‌تر زیر تبدیل می‌گردد:

$$J_{FN} = A_{FN} F_{ox}^2 \cdot \exp\left(-\frac{B_{FN}}{F_{ox}}\right) \quad (4)$$

در این رابطه A_{FN} عملاً یک ضریب fitting است که برای نزدیک کردن نتایج شبیه‌سازی و محاسبات به کار می‌رود و مطابق

$$A_{FN} = \frac{q^3 m_{si}}{16\pi^2 \hbar m_{ox} \phi_0} \quad (5)$$

همچنین رابطه حاکم بر B_{FN} به صورت زیر می‌باشد:

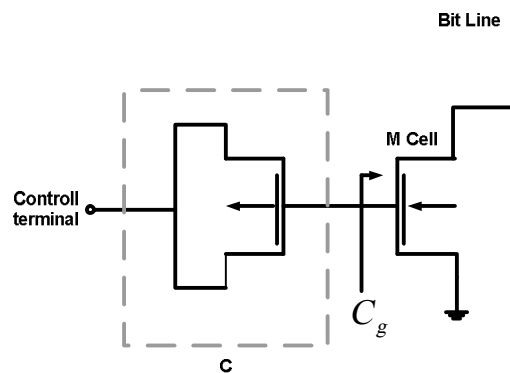
$$B_{FN} = \frac{4\sqrt{2m_{ox}\phi_0^3}}{3q\hbar} \quad (6)$$

در این روابط q بار الکترون، \hbar ثابت کاهش یافته پلانک، ϕ_0 ارتفاع سد پتانسیل اکسید و m_{ox} و m_{si} جرم مؤثر الکترون به ترتیب در اکسید و سیلیکون می‌باشند. همانطور که از رابطه ۴ پیداست، محاسبه جریان تونل‌زنی (J_{FN}) مستلزم دانستن مقدار دقیق F_{ox} می‌باشد. محاسبه مقدار دقیق F_{ox} کاری نسبتاً پیچیده و خارج از اهداف این مقاله می‌باشد. لذا از ذکر آن خودداری می‌گردد.

در این مقاله ثابت‌های مورد نیاز از BSIM3.2 و فایل تکنولوژی HSPICE 0.18 μ استخراج شده است. مقادیر ثابت‌های معرفی شده در جدول ۱ برای محاسبه I_G در شکل ۶ و با توجه به روابط بالا استفاده می‌شوند.

ساده شدن Sense Amplifier مورد نیاز در این ساختار حافظه، مستلزم افزایش دامنه تغییرات V_{th} می‌باشد. با توجه به روش بیان شده در بخش قبل برای عملیات نوشتن، این خواسته نیازمند اعمال V_{CG} بزرگ است. لذا نباید نگران مقادیر بزرگ استفاده شده در نتایج شبیه‌سازی بود.

همانطور که قبلاً اشاره شد، روش به کار گرفته شده برای پاک کردن محتویات حافظه اعمال ولتاژ مثبت بزرگ به V_{ds} است در حالیکه V_{BS} و V_{CG} در مقدار صفر ثابت نگه داشته می‌شوند.



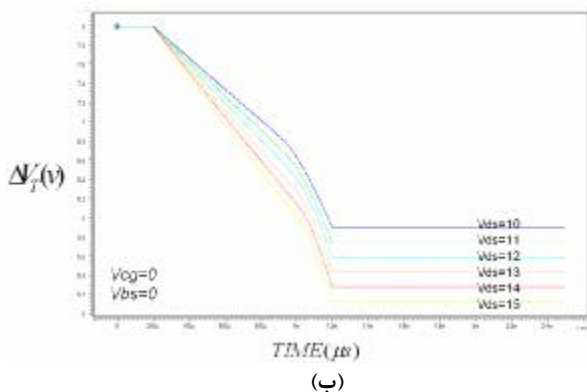
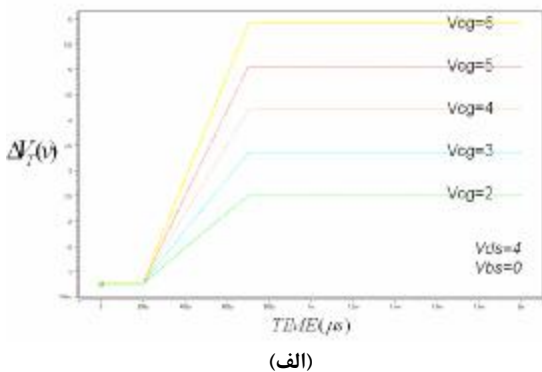
شکل (۵). ساختار پیشنهادی برای سلول حافظه غیر فرار بر مبنای تکنولوژی Standard CMOS

سلول حافظه مورد بحث (مانند غالب حافظه‌های غیر فرار) به این ترتیب عمل می‌کند که بار ذخیره شده در گیت شناور باعث تغییر ولتاژ آستانه (V_{th}) ترانزیستور حافظه شده که این تغییر می‌تواند توسط یک Sense Amplifier بعنوان یک سطح منطقی (Logic State) مشخص گردد. در انتهای این مقاله ساختار سلول حافظه بهبود یافته (که در آن تمامی نواقص ساختار ارائه در مرجع [9] اصلاح شده است) در شکل شماره ۸ ارائه می‌گردد.

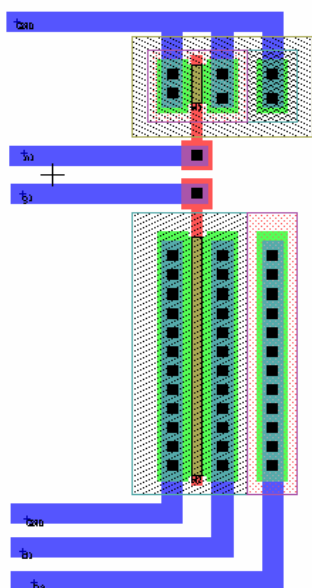
۵- نتیجه گیری

رابطه معروف تونل‌زنی Fowler-Nordheim که بر اساس مدل الکترون آزاد و تقریب Wentzel-Kramers-Brillouin (WKB) بدست می‌آید به قرار زیر است:

$$J_{FN} = \frac{\pi KTC_{FN}}{\sin(\pi KTC_{FN})} A_{FN} F_{ox}^2 \cdot \exp\left(-\frac{B_{FN}}{F_{ox}}\right) \quad (3)$$



شکل (۶). تغییرات ولتاژ آستانه (V_{th}) بر حسب زمان و شرایط کار مختلف طی عملیات (الف) نوشتن، (ب) پاک کردن



شکل (۷). جانمایی (Layout) سلول حافظه فلش

جدول ۱. مقادیر ثابت‌های مورد استفاده برای محاسبه جریانی

تونل‌زنی

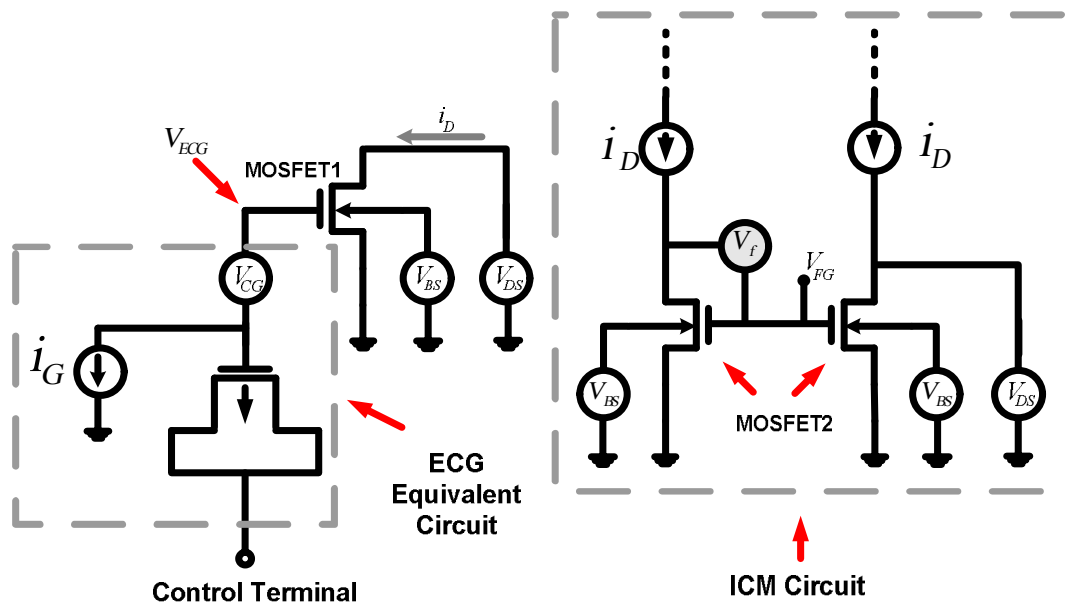
Constant	Value
m_{si}	$0.19m_0$
V_{FB}	± 0.55
T_{ox}	9.08×10^{-9}
A_{FN}	2.5×10^{-7}
B_{FN}	2.3×10^{10}

از آنجاییکه ولتاژ گیت M1 در فواصل مربوط به پاک کردن حدود 6V می‌باشد، از مقدار شکست تجاوز نخواهد کرد و نباید نگران آن بود. در شکل ۶ منحنی‌های مربوط به تغییرات V_{th} طی عملیات نوشتن و پاک کردن آورده شده است. مقادیر استفاده شده برای نسبت W/L ترانزیستورهای NMOS، ۲۴ و برای ترانزیستورهای PMOS، ۴ می‌باشد. جانمایی (Layout) هسته اصلی سلول حافظه در شکل ۷ نمایش داده شده است. مقادیر خازن‌های پارازیتیک استخراج شده از آن به قرار زیر می‌باشد:

$$C_{par1} \text{ bs } 0 \text{ C} = 2.4616943f$$

$$C_{par2} \text{ dl } 0 \text{ C} = 1.6885671f$$

مقایسه نتایج حاصل از شبیه‌سازی خروجی Layout و نتایج شبیه سازی مدار نشان می‌دهد که مقدار خازن‌های پارازیتیک در این طرح ناچیز بوده به طوری که تأثیری در عملکرد ساختار حافظه نخواهد داشت. به طور خلاصه در این مقاله یک روش ساده برای مدل کردن مدار سلول‌های حافظه فلش (که دارای ترانزیستورهای با گیت شناور در ساختار خود می‌باشند) بیان شد. در روش بهبود یافته پیشنهادی از تکنیک‌های ECG و ICM نیز بهره گرفته شد. نتایج شبیه‌سازی کارایی روش پیشنهادی را در مدل کردن سلول‌های حافظه فلش به خوبی نشان می‌دهد.



شکل (۸). ساختار پیشنهادی برای سلول حافظه در تکنولوژی Standard CMOS به همراه ساختار ICM بهبودیافته

- [7] Giuseppe De Vita, Giuseppe Jannaccone, "Ultra-Low-Power Flash Memory in Standard 0.35 μm CMOS for Passive Microwave RFID Transponders"
- [8] Y. Taur and T. H. Ning, "Fundamentals of Modern VLSI Devices". Cambridge, U.K.: Cambridge Univ. Press, 1998, p. 96.
- [9] J.-J. Yang, S. S. Chung, P.-C. Chou, C.-H. Chen, and M.-S. Lin, "A new approach to modeling the substrate current of pre-stressed and poststressed MOSFET's," *IEEE Trans. Electron Devices*, vol. 42, no. 6, pp. 1113–1119, Jun. 1995.
- [10] C. Hu, *Advanced MOS Device Physics (VLSI Electronics Microstructure Science)*. New York: Academic, 1989, ch. 3.
- [11] Yong Hoon Kang and Songcheol Hong, "A Simple Flash Memory Cell Model for Transient Circuit", *IEEE ELECTRON DEVICE LETTERS*, VOL. 26, NO. 8, AUGUST 2005

مراجع

- [1] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cells: An overview," *Proc. IEEE*, vol. 85, no. 8, pp. 1248–1271, Aug. 1997.
- [2] S. S. Chung, C.-M. Yih, S. S. Wu, H. H. Chen, and G. Hong, "A SPICE-compatible Flash EEPROM model feasible for transient and program/erase cycling endurance simulation," in *IEDM Tech. Dig.*, 1999, pp. 179–182.
- [3] L. Larcher, P. Pavan, S. Pietri, L. Albani, and T. Ghilardi, "Bias and W/L dependence of capacitive coupling coefficients in floating gate memory cells," *IEEE Trans. Electron Devices*, vol. 48, no. 9, pp. 2081–2089, Sep. 2001.
- [4] L. Larcher, P. Pavan, S. Pietri, L. Albani, and A. Marmiroli, "A new compact DC model of floating gate memory cells without capacitive coupling coefficients," *IEEE Trans. Electron Devices*, vol. 49, no. 2, pp. 301–307, Feb. 2002.
- [5] *BSIM3v3.2.2 MOSFET User's Manual*, Regents of Univ. of California, 1999.
- [6] L. Larcher, P. Pavan, S. Pietri, L. Albani, and A. Marmiroli, "FLOATING GATE DEVICES: OPERATION AND COMPACT MODELING"